

## **2. CYFROWE UKŁADY SCALONE TTL**

**SERII UCY 74 ... /UCA 64 ...**

## Wykaz oznaczeń parametrów technicznych

$C_L$	pojemność linii
$h_{21E}$	statyczny współczynnik wzmocnienia prądowego w układzie OE
$I_B$	prąd bazy
$I_C$	prąd kolektora
$I_{CC}$	prąd zasilania
$I_{CC^+ \text{ on}}$	prąd zasilania z $U_{CC^+}$ w stanie włączenia
$I_{CC^- \text{ on}}$	prąd zasilania z $U_{CC^-}$ w stanie włączenia
$I_{CCH}$	prąd zasilania w stanie wysokim
$I_{CCH^+}$	dodatni prąd zasilania w stanie wysokim
$I_{CCH^-}$	ujemny prąd zasilania w stanie wysokim
$I_{CCL}$	prąd zasilania w stanie niskim
$I_E$	prąd emitera
$I_I$	prąd wejściowy
$I_{IH}$	prąd wejściowy w stanie wysokim
$I_{IH/A/}$	prąd wejściowy w stanie wysokim na wejściu A
$I_{IH/G/}$	prąd wejściowy w stanie wysokim na wejściu G
$I_{IH/S/}$	prąd wejściowy w stanie wysokim na wejściu S
$I_{IL}$	prąd wejściowy w stanie niskim
$I_{IL/A/}$	prąd wejściowy w stanie niskim na wejściu A
$I_{IL/G/}$	prąd wejściowy w stanie niskim na wejściu G
$I_{IL/S/}$	prąd wejściowy w stanie niskim na wejściu S
$I_O$	prąd wyjściowy
$I_{CH}$	prąd wyjściowy w stanie wysokim
$I_{OL}$	prąd wyjściowy w stanie niskim
$I_{O \text{ off}}$	prąd wyjściowy w stanie blokady
$I_{O \text{ on}}$	prąd wyjściowy w stanie włączenia
$N$	obciążalność wyjścia
$P_{\text{tot}}$	całkowita moc tracona
$R_L$	rezystancja linii
$t_{\text{amb}}$	temperatura otoczenia w czasie pracy
$t_{\text{CLR}}$	szerokość impulsu kasującego
$t_{\text{CLR set up}}$	czas ustalania impulsu na wejściu CLR
$t_{\text{CP}}$	szerokość impulsu zegarowego
$t_{\text{CP set up}}$	czas ustalania impulsu na wejściu zegarowym
$t_D$	szerokość impulsu na wejściu D

$t_D$ set up	czas ustalania impulsu na wejściu D
$t_{hold}$	czas przetrzymywania
$t_L$	szerokość impulsu na wejściu LOAD
$t_{MC}$ set up	czas ustalania impulsu na wejściu MC
$t_{PHL}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od dowolnego wejścia
$t_{PHL/A,B/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść A lub B
$t_{PHL/C,D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejść C lub D
$t_{PHL/D/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia D
$t_{PHL/S/}$	czas propagacji przy zmianie stanu logicznego z wysokiego na niski na wyjściu od wejścia S
$t_{PLH}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od dowolnego wejścia
$t_{PLH/A,B/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść A lub B
$t_{PLH/C,D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejść C lub D
$t_{PLH/D/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia D
$t_{PLH/S/}$	czas propagacji przy zmianie stanu logicznego z niskiego na wysoki na wyjściu od wejścia S
$t_{P1}$	szerokość impulsu na wejściu równoległym
$t_{P1}$ set up	czas ustalania impulsu na wejściu równoległym
$t_{RO,R9}$	szerokość impulsu zerującego
$t_{set}$ up	czas ustalania impulsu
$t_{Si}$	szerokość impulsu na wejściu szeregowym
$t_{Si}$ set up	czas ustalania impulsu na wejściu szeregowym
$t_{stg}$	temperatura przechowywania
$t_w$	czas trwania impulsu wejściowego
$t_{WE}$	szerokość impulsu wpisu do pamięci
$U_{CB}$	napięcie kolektor-baza
$U_{CC}$	napięcie zasilania
$U_{CC}^+$	dodatnie napięcie zasilania
$U_{CC}^-$	ujemne napięcie zasilania
$U_{CC-SUB}$	napięcie zasilanie-podłoże
$U_{C-SUB}$	napięcie kolektor-podłoże
$U_{CE}$	napięcie kolektor-emiter
$U_{CE sat}$	napięcie nasycenia kolektor-emiter
$U_{EB}$	napięcie emiter-baza
$U_I$	napięcie wejściowe

$U_{IC}$	napięcie nieróżnicowe
$U_{ID}$	napięcie różnicowe
$U_{IDH}$	napięcie różnicowe w stanie wysokim
$U_{IDL}$	napięcie różnicowe w stanie niskim
$U_{IH}$	napięcie wejściowe w stanie wysokim
$U_{IL}$	napięcie wejściowe w stanie niskim
$U_O$	napięcie wyjściowe
$U_{O+}$	dodatnie napięcie wyjściowe
$U_{O-}$	ujemne napięcie wyjściowe
$U_{OH}$	napięcie wyjściowe w stanie wysokim
$U_{OL}$	napięcie wyjściowe w stanie niskim

Seria UCY 74 ..../UCY 64 ....

Parametry dopuszczalne dla wszystkich układów:

$U_{CC\ max} = 7\ V$   
 $U_I\ max = 5,5\ V$  przy  $t_{amb} = 25^{\circ}C$   
 $t_{stg} = -55 \dots +125^{\circ}C$

2 ecane warunki pracy:

0 .....+70°C dla serii UCY 74 ...  
 $t_{amb} = -40 \dots +50^{\circ}C$  dla serii UCA 64 ...  
 $U_{CC} = 5 \pm 0,25\ V$

Parametry charakterystyczne w zalecanym zakresie temperatur:

$U_{OL\ max} = 0,4\ V$  dla wszystkich układów  
 $U_{OH\ min} = 2\ 4\ V$  dla wszystkich układów z wyjątkiem układów OPEN COLLECTOR  
 $I_{OH} = 250\ \mu A$  wyłącznie dla układów OPEN COLLECTOR  
 $I_{OH} = 100\ \mu A$  wyłącznie dla układów OPEN COLLECTOR serii UCY 74LS ...

Oznaczenie wyrobu	Funkcja	Parametry charakterystyczne /w zalecanym zakresie temperatur/						Parametry przełączania			Obudowa
		-I <sub>IL</sub> mA	I <sub>IH</sub> μA	I <sub>OCL</sub> / I <sub>CC</sub> / mA	I <sub>CCH</sub> mA	t <sub>PHL</sub> ns	t <sub>PLH</sub> ns	N	t <sub>PHL</sub> max	t <sub>PLH</sub> max	
1	2	3	4	5	6	7	8	9	10		
UCY 7400N	czterokrotna dwuwęjsciowa bramka NAND	1,6	40	22	8	10	15	22	CE 70		
UCY 7401N	czterokrotna dwuwęjsciowa bramka NAND z otwartym kolektorrem /OPEN COLLECTOR/	1,6	40	22	8		15	45	CE 70		
UCA 6401N											
UCY 7402N	czterokrotna dwuwęjsciowa bramka NOR	1,6	40	27	16	10	15	22	CE 70		
UCA 6402N											
UCY 7403N	czterokrotna dwuwęjsciowa bramka NAND z otwartym kolektorrem /OPEN COLLECTOR/	1,6	40	22	8		15	45	CE 70		
UCA 6403N											
UCY 7404N	sześcioletrotny inwerter	1,6	40	33	12	10	15	22	CE 70		
UCA 6404N											

1	2	3	4	5	6	7	8	9	10
UCY 7406N UCA 6406N	sześciokrotny inwer- ter-bufor z otwartym kolektorem /OPEN COLLECTOR-30 V/	1,6	40	51	48		25	15	CE 70
UCY 7407N UCA 6407N	sześciokrotny bufor z otwartym kolekto- rem /OPEN COLLECTOR- -30 V/	1,6	40	30	41		25	15	CE 70
UCY 7408N UCA 6408N	czterokrotna dwuej- ściowa bramka AND	1,6	40	33	21	10	27	19	CE 70
UCY 7409N UCA 6409N	czterokrotna dwuej- ściowa bramka AND z otwartym kolektorem /OPEN COLLECTOR/	1,6	40	33	21		24	32	CE 70
UCY 7410N UCA 6410N	trzykrotna trzywej- ściowa bramka NAND	1,6	40	16,5	6	10	15	22	CE 70
UCY 7416N UCA 6416N	sześciokrotny inwer- ter-bufor z otwartym kolektorem /OPEN COLLECTOR-15 V/	1,6	40	51	48		25	15	CE 70
UCY 7417N UCA 6417N	sześciokrotny bufor z otwartym kolekto- rem /OPEN COLLECTOR- -15 V/	1,6	40	30	41		25	15	CE 70
UCY 7420N UCA 6420N	dwukrotna czterowej- ściowa bramka NAND	1,6	40	11	4	10	15	22	CE 70
UCY 7430N UCA 6430N	ośmiowejściowa bramka NAND	1,6	40	6	2	10	15	22	CE 70
UCY 7437N UCA 6437N	czterokrotna dwuej- ściowa bramka NAND	1,6	40	54	16	30	15	22	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 7438N	czterokrotna dwujej- ściowa bramka NAND z otwartym kolektor- em /OPEN COLLECTOR- -5 V/	1,6	40	54	9		18		CE 70
UCA 7438N								22	
UCY 7440N	dwukrotna czterowej- ściowa bramka NAND	1,6	40	27	8	30	15		CE 70
UCA 6440N								22	
UCY 7442N	dekoder kodu BCD na kod dziesiętny	1,6	40	/56/		10	25		CE 71
UCA 6442N								25	
UCY 7447N	dekoder kodu BCD na kod siedmiosegmento- wy	1,6	40	/103/			100	A → a+g	CE 71
UCA 6447N		4,0					100	RBI → a+f	100
UCY 7450N	dwukrotna 2 x dwu- wejściowa bramka AND-OR-INVERT z mo- żliwością ekspansji OR	1,6	40	14	8	10	15		CE 70
UCA 6450N									
UCY 7451N	dwukrotna 2 x dwu- wejściowa bramka AND-OR-INVERT	1,6	40	14	8	10	15		CE 70
UCA 6451N									
UCY 7453N	4 x dwujejściowa bramka AND-OR-INVERT z możliwością eks- pansji OR	1,6	40	9,5	8	10	15		CE 70
UCA 6453N									
UCY 7454N	4 x dwujejściowa bramka AND-OR-INVERT	1,6	40	9,5	8	10	15		CE 70
UCA 6454N									
UCY 7460N	dwukrotny czterowej- ściowy ekspander	1,6	40			2	20		CE 70
UCA 6460N								30	
UCY 7472N	przerzutnik typu J-K /MASTER-SLAVE/	1,6	40	/20/		10	40	CP → Q	CE 70
UCA 6472N		3,2	80				40	R, S → Q	25

1	2	3	4	5	6	7	8	9	10
UCY 7473N UCA 6473N	dwukrotny przerzut- nik typu J-K /MASTER-SLAVE/	J, K $\overline{CP}, \overline{R}$ 1,6 3,2	J, K $\overline{CP}, \overline{R}$ 40 80	/40/  		10	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$ 40 40	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$ 25 25	CE 70 CE 70
UCY 7474N UCA 6474N	dwukrotny przerzut- nik typu D	$\overline{S}, D$ $\overline{R}, CP$ 1,6 3,2	D $\overline{S}, CP$ R 40 80 120	/30/  		10	$CP \rightarrow Q$ $\overline{R}, \overline{S} \rightarrow Q$ t set up t hold 40 40 20 5	$CP \rightarrow Q$ $\overline{R}, \overline{S} \rightarrow Q$ 25 25	CE 70
UCY 7475N UCA 6475N	czterokrotny prze- rzutnik typu D ste- rowany poziomem /LATCH/	D CP 3,2 6,4	D CP 80 160	/53/  		10	D $\rightarrow$ Q D $\rightarrow$ $\overline{Q}$ CP $\rightarrow$ Q t set up "1" t hold "1" 25 15 15 20 0	D $\rightarrow$ Q D $\rightarrow$ $\overline{Q}$ CP $\rightarrow$ Q t set up "0" t hold "0" 30 40 30 20 0	CE 71
UCY 7476N UCA 6476N	dwukrotny przerzut- nik typu J-K /MASTER-SLAVE/	J, K $\overline{S}, \overline{R}, \overline{CP}$ 1,6 3,2	J, K $\overline{S}, \overline{R}, \overline{CP}$ 40 80	/40/  		10	$\overline{CP} \rightarrow Q$ $\overline{S}, \overline{R} \rightarrow Q$ 40 40	$\overline{CP} \rightarrow Q$ $\overline{S}, \overline{R} \rightarrow Q$ 25 25	CE 71
UCY 7483N UCA 6483N	czterobitowy sumator binarny	3,2	80	/80/  		10	$C_0 \rightarrow \sum_1$ $C_0 \rightarrow \sum_2$ $C_0 \rightarrow \sum_3$ $C_0 \rightarrow \sum_4$ $C_0 \rightarrow C_4$ $A_1 \rightarrow \sum_1$ 35 35 40 50 25 30	$C_0 \rightarrow \sum_1$ $C_0 \rightarrow \sum_2$ $C_0 \rightarrow \sum_3$ $C_0 \rightarrow \sum_4$ $C_0 \rightarrow C_4$ $A_1 \rightarrow \sum_1$ 35 35 50 50 30 35	CE 71
UCY 7485N UCA 6485N	czterobitowy kompa- rator binarny	A > B A < B A = B $A_1, B_1$ 1,6 1,6 4,8 4,8	A > B A < B A = B $A_1, B_1$ 40 40 120 120	/88/  		10	$A_1 \rightarrow A < B$ $B_1 \rightarrow A > B$ 22	$A_1 \rightarrow A < B$ $B_1 \rightarrow A > B$ 26	CE 71



1	2	3	4	5	6	7	8	9	10	
UCY 7486N UCA 6486N	czterokrotna dwuwejściowa bramka EXCLUSIVE-OR	1,6	40	/55/		10	$A_1=B_1=0$ $A_1=B_1=1$	$A_1=B_1=0$ $A_1=B_1=0$	23 30	CE 70
UCY 7490N UCA 6490N	licznik dekadowy	$R_0, R_9$ $\overline{CP}_A$ $\overline{CP}_B$	40 80 160	/53/		10	$\overline{CP}_A \rightarrow Q_C$ $t_{CP \min}$ $t_{R_0, R_9}$	$\overline{CP}_A \rightarrow Q_G$	100	CE 70
UCY 7492N	licznik modulo 12	$R_0$ $\overline{CP}_A$ $\overline{CP}_B$	40 80 160	/51/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP \min}$ $t_{RO \min}$	$\overline{CP}_A \rightarrow Q_D$	100	CE 70
UCY 7493N UCA 6493N	czterobitowy licznik binarny	$R_0$ $\overline{CP}_A, \overline{CP}_B$	40 80	/53/		10	$\overline{CP}_A \rightarrow Q_D$ $t_{CP \min}$ $t_{RO \min}$	$\overline{CP}_A \rightarrow Q_D$	135	CE 70
UCY 7495N UCA 6495N	czterobitowy uniwersalny rejestr przesuwny	1,6 3,2 MC	40 80	/63/		10	$\overline{CP} \rightarrow Q_1$	$\overline{CP} \rightarrow Q_1$	27	CE 70
UCY 74107N UCA 64107N	dwukrotny przerzutnik typu J-K /MASTER-SLAVE/	1,6 3,2 $\overline{CP}, \overline{R}$	40 80	/40/		10	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	$\overline{CP} \rightarrow Q$ $\overline{R} \rightarrow Q$	25 25	CE 70
UCY 74121N UCA 64121N	przerzutnik monostabilny z wejściem Schmitta	1,6 3,2 A <sub>1</sub> , A <sub>2</sub> B	40 80	/40/		10	$A_1 \rightarrow Q$ B → Q	$A_1 \rightarrow Q$ B → Q	70 55	CE 70
UCY 74123N UCA 64123N	dwukrotny przerzutnik monostabilny z wejściem zerującym	1,6 3,2 A, B $\overline{R}$	40 80	/66/		10	$\overline{R} \rightarrow Q$ A → Q B → Q $t_{set \ up}$ $t_{hold}$	$\overline{R} \rightarrow Q$ A → Q B → Q	40 33 28	CE 71

1	2	3	4	5	6	7	8	9	10
UCY 74132N UCA 64132N	czterokrotna dwu- wejściowa bramka NAND z wejściem Schmitta	1,6	40	72	56	10	30		CE 70
UCY 74145N UCA 64145N	dekoder kodu BCD na kod dziesiętny z otwartym wyjściem kolektorowym /OPEN COLLECTOR-15 V/	1,6	40	/70/			50		CE 71
UCY 74150N UCA 64150N	szesnastowejsiowy selektor-multiplek- ser	1,6	40	/68/		10	DS <sub>A,B,C,D</sub> -W ST <sub>→W</sub> 30 DI <sub>1</sub> -W 14	DS <sub>A,B,C,D</sub> -W 35 ST <sub>→W</sub> 24 DI <sub>1</sub> -W 20	CE 73
UCY 74151N UCA 64151N	ośmiowejsiowy se- lektor-multiplekser	1,6	40	/48/		10	DS <sub>A,B,C</sub> -W 33 ST <sub>→W</sub> 30 DI <sub>1</sub> -W 14	DS <sub>A,B,C</sub> -W 35 ST <sub>→W</sub> 24 DI <sub>1</sub> -W 20	CE 71
UCY 74153N UCA 64153N	dwukrotny czterowej- ściowy selektor-mul- tiplekser	1,6	40	/60/		10	DS <sub>A,B</sub> -Y 34 ST <sub>→Y</sub> 23 DI <sub>1</sub> -Y 23	DS <sub>A,B</sub> -Y 34 ST <sub>→Y</sub> 30 DI <sub>1</sub> -Y 18	CE 71
UCY 74154N UCA 64154N	dekoder-demultiplek- ser z 4 liniami na 16 linii	1,6	40	/56/		10	A,B,C,D-Y <sub>1</sub> 33 ST <sub>1</sub> -Y <sub>1</sub> 27	A,B,C,D-Y <sub>1</sub> 36 ST <sub>1</sub> -Y <sub>1</sub> 30	CE 73
UCY 74155N UCA 64155N	dwukrotny dekoder demultiplekser z 2 liniami na 4 linie	1,6	40	/40/			ST <sub>→Y<sub>1</sub></sub> 27 DS <sub>A,B</sub> -Y <sub>1</sub> 32 DI <sub>1</sub> -Y <sub>1</sub> 24	ST <sub>→Y<sub>1</sub></sub> 20 DS <sub>A,B</sub> -Y <sub>1</sub> 32 DI <sub>1</sub> -Y <sub>1</sub> 30	CE 71
UCY 74157N UCA 64157N	czterokrotny dwu- wejściowy selektor- multiplekser	1,6	40	/48/		10	DI <sub>1</sub> -Y 14 ST <sub>→Y</sub> 21 DS <sub>→Y</sub> 27	DI <sub>1</sub> -Y 14 ST <sub>→Y</sub> 20 DS <sub>→Y</sub> 23	CE 71

1	2	3	4	5	6	7	8	9	10
UCY 74164N UCA 64164N	synchroniczny ośmio-bitowy rejestr przesuwny z wejściami szeregowym i wyjściami równoległymi	$\overline{\text{CLR}}$ 1,6 3,2	40 $\overline{\text{CLR}}$ 80	/54/ 80		10	$\text{CP} \rightarrow \text{Q}_i$ $\overline{\text{CLR}} \rightarrow \text{Q}_i$ tset up t <sub>hold</sub> t <sub>CP min</sub> t <sub>CLR min</sub>	$\text{CP} \rightarrow \text{Q}_i$ 27	CE 70
UCY 74165N UCA 64165N	synchroniczny ośmio-bitowy rejestr przesuwny z wejściami równoległymi i wyjściami szeregowym	$\overline{\text{L}}$ 1,6 3,2	40 $\overline{\text{L}}$ 80	/63/ 80		10	$\overline{\text{L}} \rightarrow \text{QH}$ $\text{CP} \rightarrow \text{QH}$ $\text{PH} \rightarrow \text{QH}$ t <sub>CP set up</sub> t <sub>PI set up</sub> t <sub>SI set up</sub> t <sub>hold</sub> t <sub>CP min</sub> t <sub>L min</sub>	$\overline{\text{L}} \rightarrow \text{QH}$ $\text{CP} \rightarrow \text{QH}$ $\text{PH} \rightarrow \text{QH}$ 31 24 17	CE 71
UCY 74174N UCA 64174N	sześcioletny przetrzutnik typu D z zerowaniem	1,6	40	/65/ 80		10	$\text{CP} \rightarrow \text{Q}$ $\overline{\text{CLR}} \rightarrow \text{Q}$ t <sub>CLR set up</sub> t <sub>D set up</sub> t <sub>hold</sub> t <sub>CP min</sub>	$\text{CP} \rightarrow \text{Q}$ 30	CE 71
UCY 74175N UCA 64175N	czterokrotny przetrzutnik typu D z zerowaniem	1,6	40	/45/ 80		10	$\text{CP} \rightarrow \text{Q}$ $\overline{\text{CLR}} \rightarrow \text{Q}$ t <sub>CLR set up</sub> t <sub>D set up</sub> t <sub>hold</sub> t <sub>CP min</sub>	$\text{CP} \rightarrow \text{Q}$ 30	CE 71
UCY 74180N UCA 64180N	ośmiobitowy generator parzystości	DI $\overline{\text{IE}}, \text{ID}$ 1,6 3,2	DI $\overline{\text{IE}}, \text{ID}$ 40 80	/56/ 80		10	$\overline{\text{IE}} \rightarrow \sum \text{Q}_E$ $\text{I}_0 \rightarrow \sum \text{Q}_0$	$\overline{\text{IE}} \rightarrow \sum \text{Q}_E$ $\text{I}_0 \rightarrow \sum \text{Q}_0$ 20 20	CE 71

1	2	3	4	5	6	7	8	9	10			
UCY 74181N UCA 64181N	czterobitowa uniwersalna jednostka arytmetycznologiczna	M A <sub>1</sub> , B <sub>1</sub> S <sub>1</sub> C <sub>1</sub>	1,6 4,8 6,4 8	M A <sub>1</sub> , B <sub>1</sub> S <sub>1</sub> C <sub>1</sub>	40 120 160 200	/150/	10	C <sub>n</sub> → C <sub>n+4</sub> A <sub>1</sub> , B <sub>1</sub> → C <sub>n+4</sub> C <sub>n</sub> → F	19 41 18	C <sub>n</sub> → C <sub>n+4</sub> A <sub>1</sub> , B <sub>1</sub> → C <sub>n+4</sub> C <sub>n</sub> → F	18 43 19	CE 73
UCY 74182N	generator przeniesienia	C <sub>n</sub> P <sub>3</sub> P <sub>2</sub> P <sub>0</sub> , P <sub>1</sub> , G <sub>3</sub> G <sub>0</sub> , G <sub>2</sub> G <sub>1</sub>	3,2 4,8 6,4 8 14,8 16	C <sub>n</sub> P <sub>3</sub> P <sub>2</sub> P <sub>0</sub> , P <sub>1</sub> , G <sub>3</sub> G <sub>0</sub> , G <sub>2</sub> G <sub>1</sub>	80 120 160 200 360 400	72	10		17		22	CE 71
UCY 74192N UCA 64192N	synchroniczny dziesiętny licznik rewersyjny		1,6		40	/102/	10	A, B, C, D → Q CP <sub>D</sub> , CP <sub>U</sub> → Q CP <sub>U</sub> → C <sub>OUT</sub> CP <sub>D</sub> → B <sub>OUT</sub> I → Q CLR → Q t <sub>set up</sub> t <sub>hold</sub> t <sub>w min</sub>	40 47 24 24 40 40 20 0 20	A, B, C, D → Q CP <sub>U</sub> , CP <sub>D</sub> → Q CP <sub>U</sub> → C <sub>OUT</sub> CP <sub>D</sub> → B <sub>OUT</sub> I → Q CLR → Q t <sub>set up</sub> t <sub>hold</sub> t <sub>w min</sub>	30 38 26 24 35	CE 71
UCY 74193N UCA 64193N	synchroniczny binarny licznik rewersyjny /czterobitowy/		1,6		40	/102/	10	A, B, C, D → Q CP <sub>D</sub> , CP <sub>U</sub> → Q CP <sub>U</sub> → C <sub>OUT</sub> CP <sub>D</sub> → B <sub>OUT</sub> I → Q CLR → Q t <sub>set up</sub> t <sub>hold</sub> t <sub>w</sub>	40 47 24 24 40 40 20 0 20	A, B, C, D → Q CP <sub>U</sub> , CP <sub>D</sub> → Q CP <sub>U</sub> → C <sub>OUT</sub> CP <sub>D</sub> → B <sub>OUT</sub> I → Q CLR → Q t <sub>set up</sub> t <sub>hold</sub> t <sub>w</sub>	30 38 26 24 35	CE 71

1	2	3	4	5	6	7	8	9	10	
UCY 74194N UCA 64194N	uniwersalny cztero- bitowy rejestr prze- suwny	1,6	40	/63/		10	CP→Q <sub>i</sub> CLR→Q <sub>i</sub> t <sub>CP min</sub> t <sub>CLR min</sub> t <sub>MC set up</sub> t <sub>set up</sub> t <sub>hold</sub>	26 30 20 20 30 20 0	CP→Q <sub>i</sub>	22 CE 71
UCY 74198N UCA 64198N	uniwersalny ośmio- bitowy rejestr prze- suwny	1,6	40	/116/		10	CP→Q <sub>i</sub> CLR→Q <sub>i</sub> CP=1 CLR→Q <sub>i</sub>	39 60 60	CP→Q	26 CE 73
UCY 74547N	układ sterujący wy- świetlaczem kalkula- tora /U <sub>CC max</sub> = 15 V/	0,025	500	5,5	0,3		CP=0 t <sub>CP min</sub> t <sub>CLR min</sub> t <sub>MC set up</sub> t <sub>set up</sub> t <sub>hold</sub>	20 20 30 20 0		5000 CE 78
UCY 74548N	układ sterujący wy- świetlaczem kalkula- tora /U <sub>CC max</sub> = 15 V/	0,025	500	23	0,35			5000		5000 CE 78
UCY 74549N	układ sterujący wy- świetlaczem kalkula- tora /U <sub>CC max</sub> = 15 V/	0,025	500	5,5	0,3			5000		5000 CE 78

1	2	3	4	5	6	7	8	9	10	
UCY 780101N UCA 680101N	sześcioletniocze- robitowa pamięć RAM	0,25	10	/105/		10	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$ $t_{WE} \min$ $t_{DI} \text{ hold}$	$A_i \rightarrow Y_i$ $\overline{CS} \rightarrow Y_i$	60 30 40 40	CE 71
UCY 74H00N UCA 64H00N	czterokrotna dwujej- ściowa bramka NAND	2	50	40	17	10	10		10	CE 70
UCY 74H10N	trójrotna trzywej- ściowa bramka NAND	2	50	30	12,6	10	10		10	CE 70
UCY 74H40N UCA 64H40N	dwukrotna czterowej- ściowa bramka NAND	4	100	40	16	30	12		12	CE 70
UCY 74H50N UCA 64H50N	dwukrotna 2 x dwu- wejściowa bramka AND-OR-INVERT z mo- żliwością ekspansji OR	2	50	12,8	24	10	11		11	CE 70
UCY 74H53N UCA 64H53N	4 x dwujejściowa bramka AND-OR-INVERT z możliwością eks- pansji OR	2	50	14	11	10	11		11	CE 70
UCY 74H72N UCA 64H72N	przerzutnik typu J-K /MASTER-SLAVE/	J, K S, R, CP 4	J, K S, R, CP 50 100	/25/		10	S, R → Q CP Q	S, R → Q CP Q	24 27	CE 70
UCY 74H74N UCA 64H74N	dwukrotny przerzut- nik typu D	S, D R, CP 2 4	D S, CP R 50 100 150	/50/		10	S, R → Q CP → Q t <sub>set up</sub> t <sub>hold</sub>	S, R → Q CP → Q	30 20 15 0	CE 70
UCY 74S00N	czterokrotna dwujej- ściowa bramka NAND	2	50	36	16	10	5		4,5	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 74S03N	czterokrotna dwujej- ściowa bramka MAND z otwartym kolekto- rem /OPEN COLLECTOR/	2	50	36	13,2	10	7	7,5	CE 70
UCY 74S10N	trzykrotna trzywej- ściowa bramka MAND	2	50	27	12	10	5	4,5	CE 70
UCY 74S11N	trzykrotna trzywej- ściowa bramka AND	2	50	42	24	10	7,5	7	CE 70
UCY 74S15N	trzykrotna trzywej- ściowa bramka AND	2	50	42	24	10	5	4,5	CE 70
UCY 74S20N	dwukrotna czterowej- ściowa bramka MAND	2	50	18	8	10	5	4,5	CE 70
UCY 74S22N	dwukrotna czterowej- ściowa bramka MAND z otwartym kolekto- rem /OPEN COLLECTOR/	2	50	18	6,6	10	7	7,5	CE 70
UCY 74LS00N	czterokrotna dwujej- ściowa bramka MAND	0,36	20	4,4	1,6	10	15	15	CE 70
UCY 74LS01N	czterokrotna dwujej- ściowa bramka MAND z otwartym kolekto- rem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70
UCY 74LS02N	czterokrotna dwujej- ściowa bramka NOR	0,36	20	5,4	3,2	10	15	15	CE 70
UCY 74LS03N	czterokrotna dwujej- ściowa bramka MAND z otwartym kolekto- rem /OPEN COLLECTOR/	0,36	20	4,4	1,6	10	28	32	CE 70

1	2	3	4	5	6	7	8	9	10
UCY 74LS04N	sześciokrotny inwerter	0,36	20	6,6	2,4	10	15	15	CE 70
UCY 74LS08N	czterokrotna dwuwęściowa bramka AND	0,36	20	8,8	4,8	10	20	20	CE 70
UCY 74LS10N	trójkrotna trzywęściowa bramka NAND	0,36	20	3,3	1,2	10	15	15	CE 70

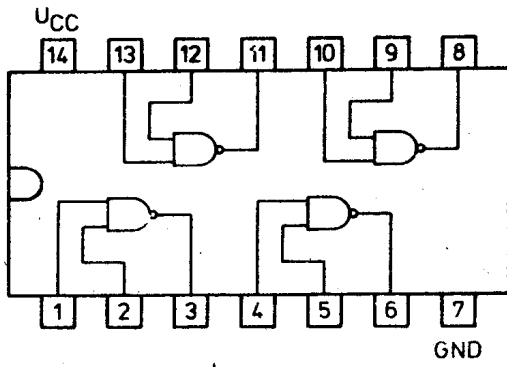
\*/ podane parametry dla współpracy z układami kalkulatorowymi



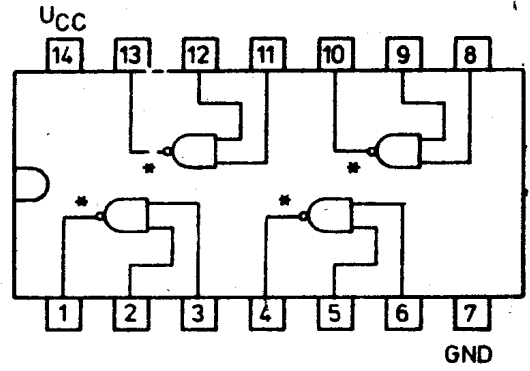
## 2.1. Schematy logiczne

### Wykaz niektórych skrótów stosowanych na schematach logicznych układów cyfrowych

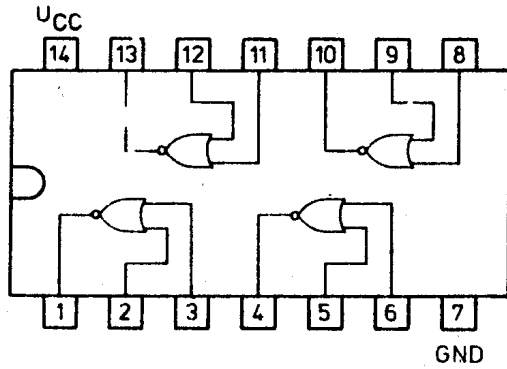
$B_{OUT}$	-	BORROW OUTPUT - wyjście przeniesienia przy zliczaniu w dół /UCY 74192 i UCY 74193/
$C_{IN}$	-	CARRY INPUT - wejście sygnału przeniesienia
$C_{OUT}$	-	CARRY OUTPUT - wyjście impulsu przeniesienia
CLR	-	CLEAR - wejście zerujące
CP	-	CLOCK PULSE - wejście zegarowe
CS	-	CHIP SELECT - wejście zezwalające na pracę układu
DI	-	DATA INPUT - wejście danych
DS	-	DATA SELECT - wejście wybierające
FS	-	FUNCTION SELECT - wejście wybierające wykonywaną funkcję
INH	-	INHIBIT - wejście zezwalające
$I_E$	-	INPUT EVEN - wejście nieparzyste
$I_O$	-	INPUT ODD - wejście parzyste
L	-	LOAD - wejście ładujące
MC	-	MODE CONTROL - wejście rodzaju pracy
PI	-	PARALLEL INPUT - wejście równoległe
R	-	RESET - wejście kasujące
S	-	SET - wejście ustawiające
SI	-	SERIAL INPUT - wejście szeregowe
ST	-	STROBE - wejście strobujące
SUB	-	SUBSTRAT - podłoże
X	-	wejście-wyjście ekspanderowe
Y	-	wyjście bramkowe



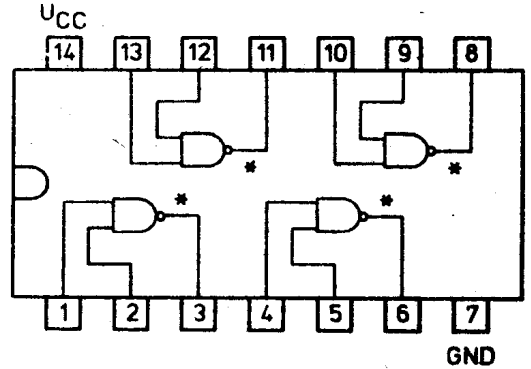
7400



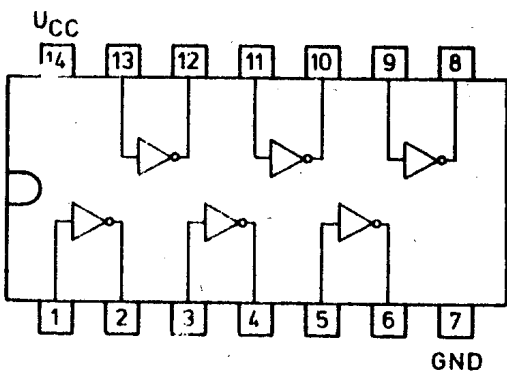
7401



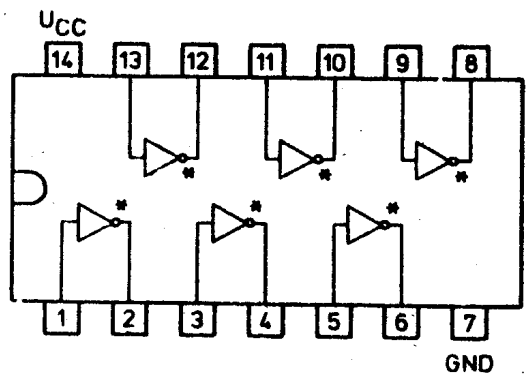
7402



7403

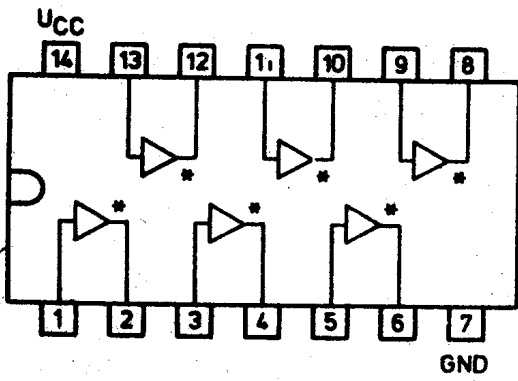


7404

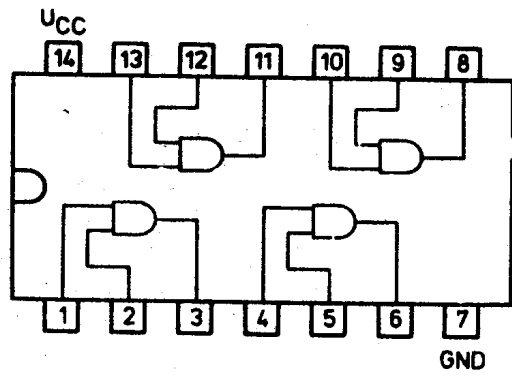


7406

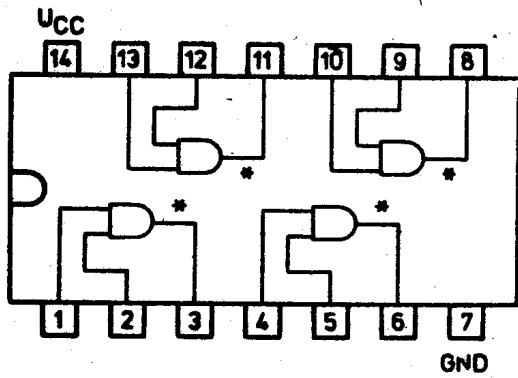
\*OPEN COLLECTOR



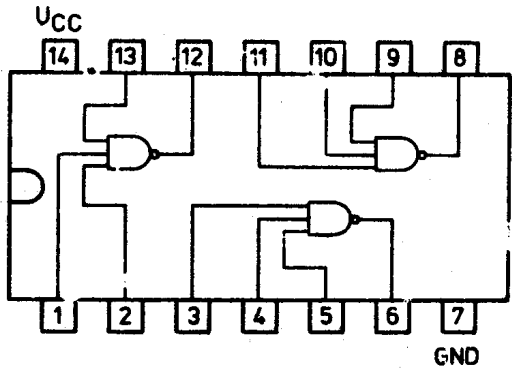
7407



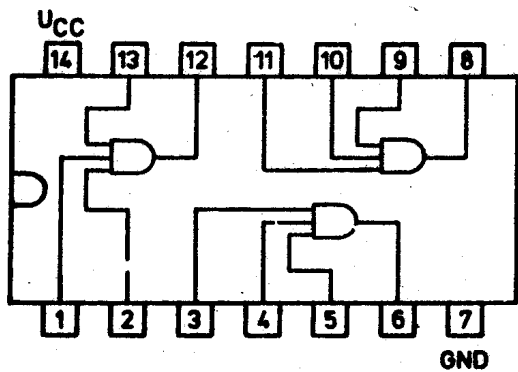
7408



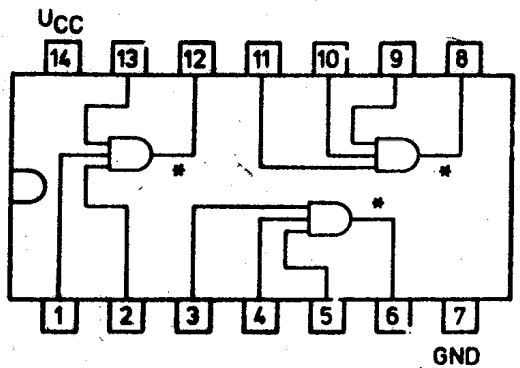
7409



7410

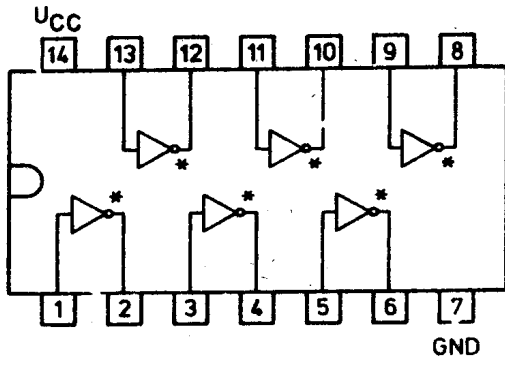


7411

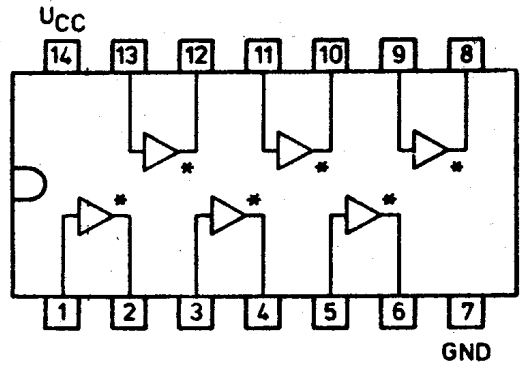


7415

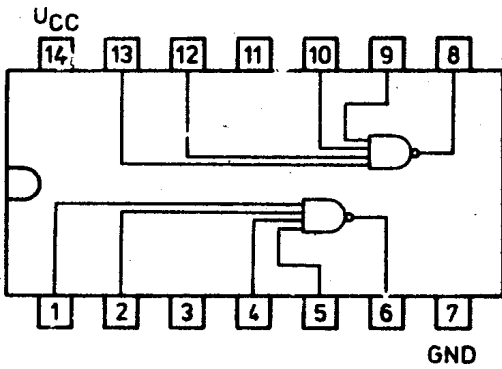
\*OPEN COLLECTOR



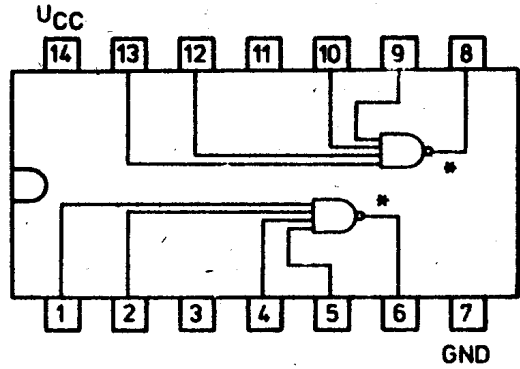
7416



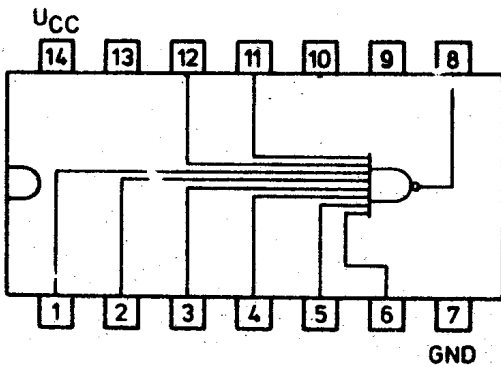
7417



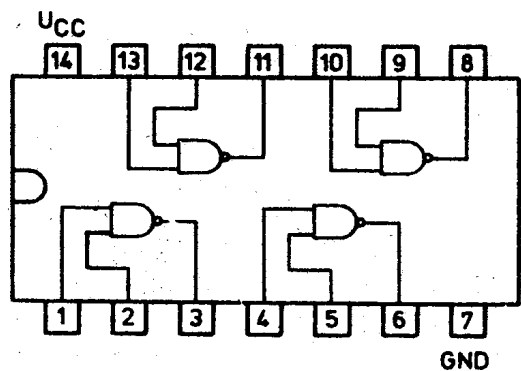
7420



7422

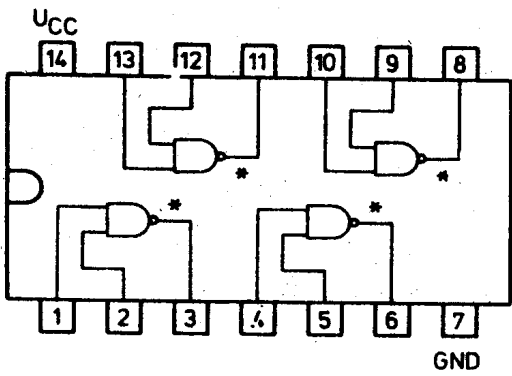


7430

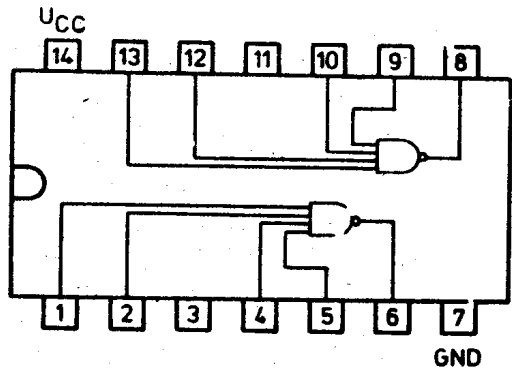


7437

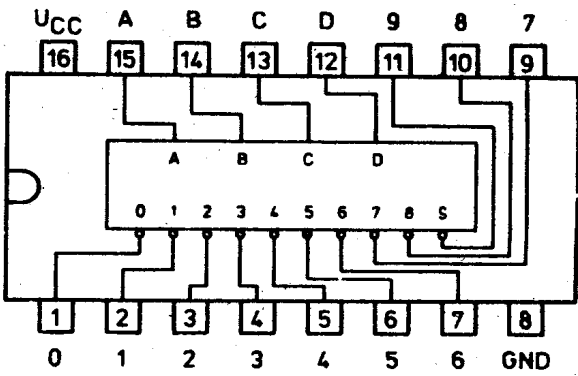
\*OPEN COLLECTOR



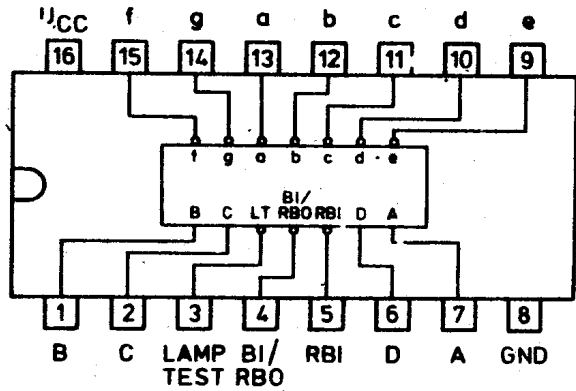
7438



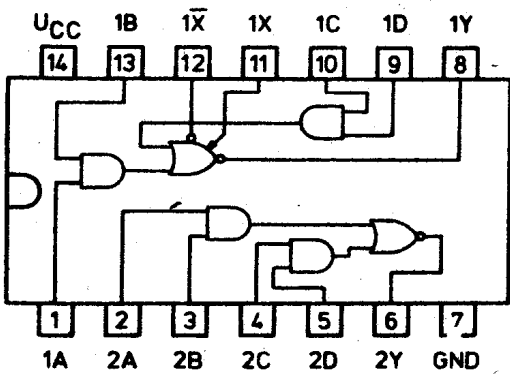
7440



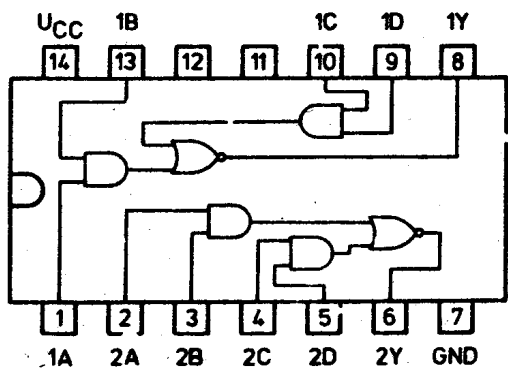
7442



7447

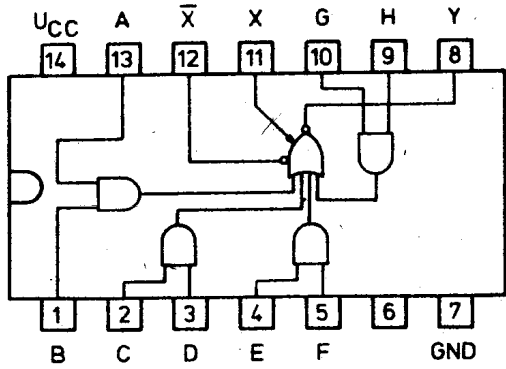


7450

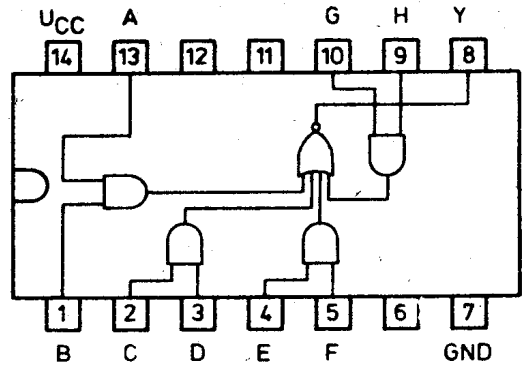


7451

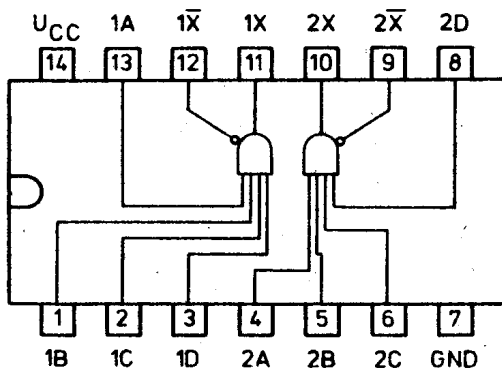
\*OPEN COLLECTOR



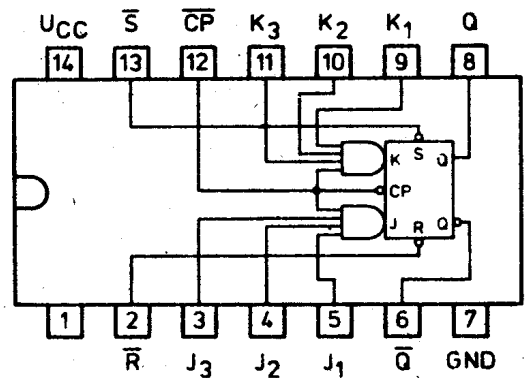
7453



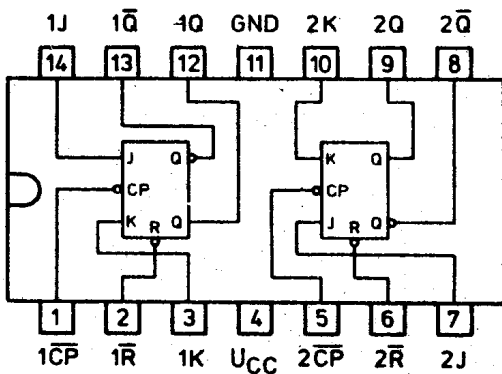
7454



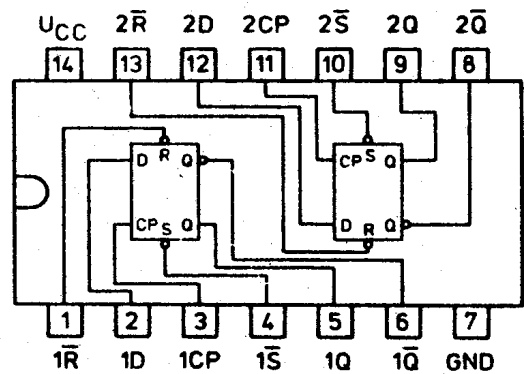
7460



7472

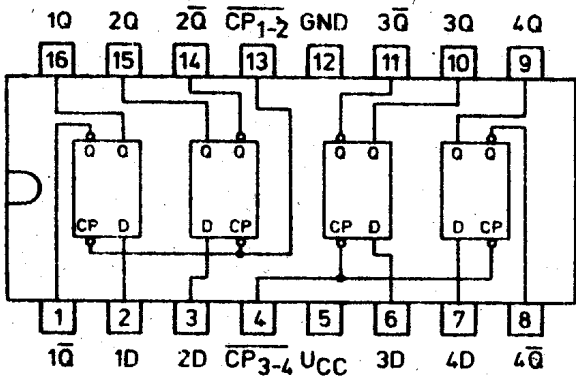


7473

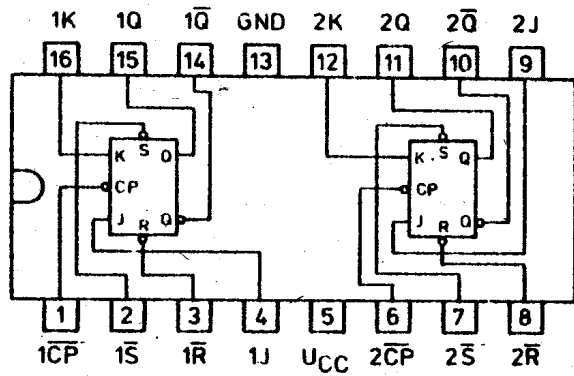


7474

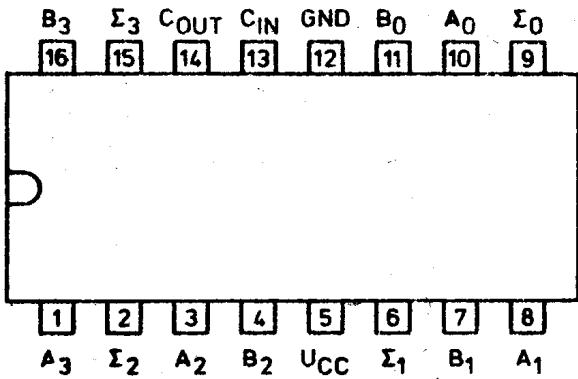
\*OPEN COLLECTOR



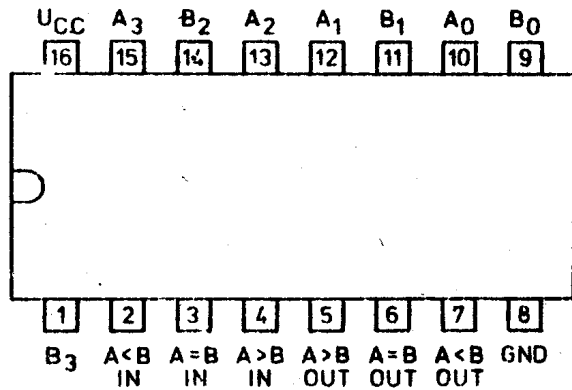
7475



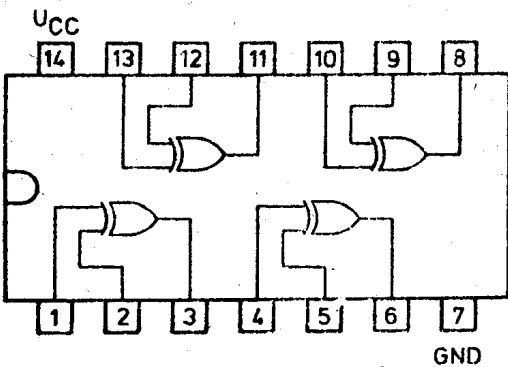
7476



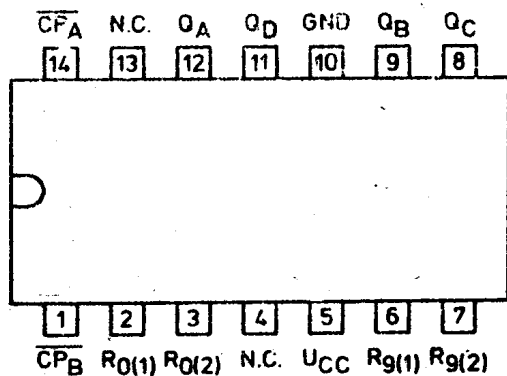
7483



7485

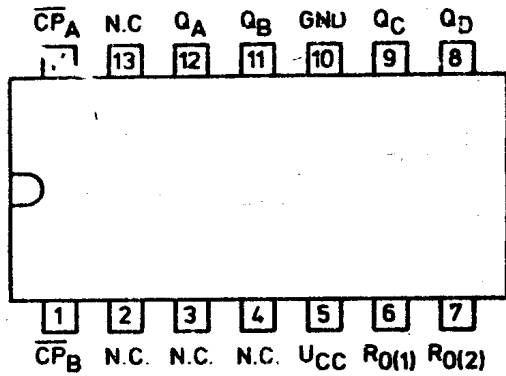


7486

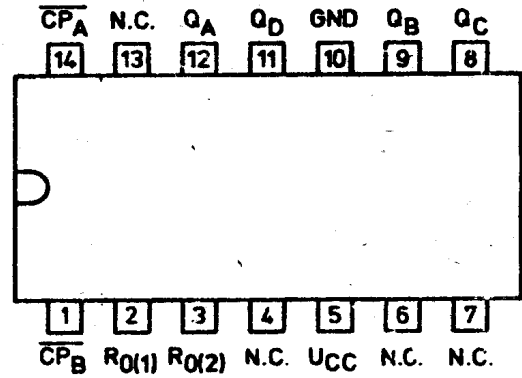


7490

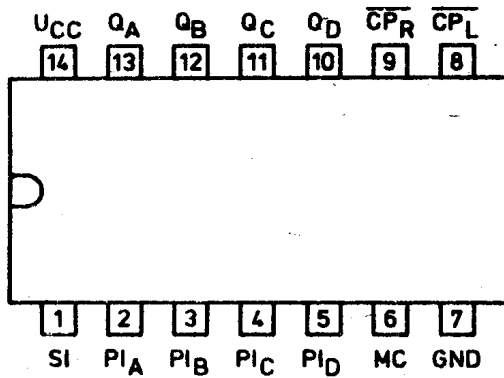
\*OPEN COLLECTOR



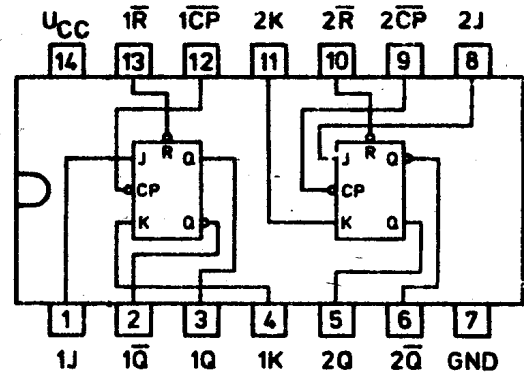
7492



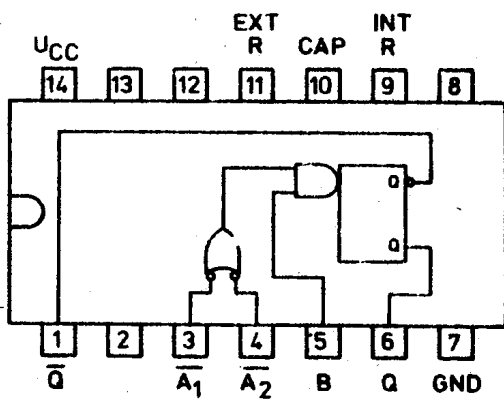
7493



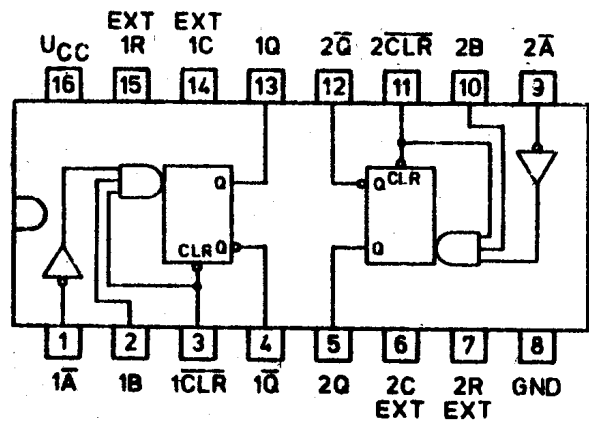
7495



74107



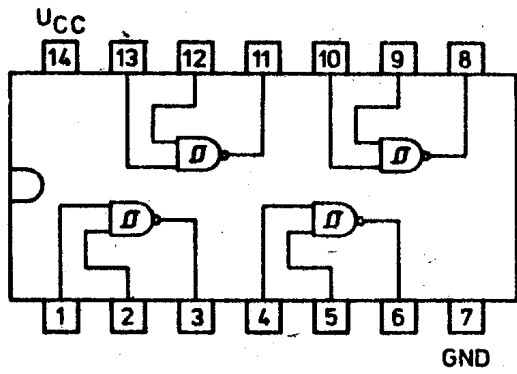
74121



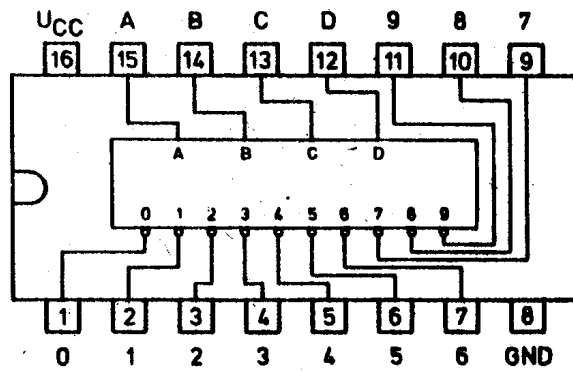
74123

\*OPEN COLLECTOR

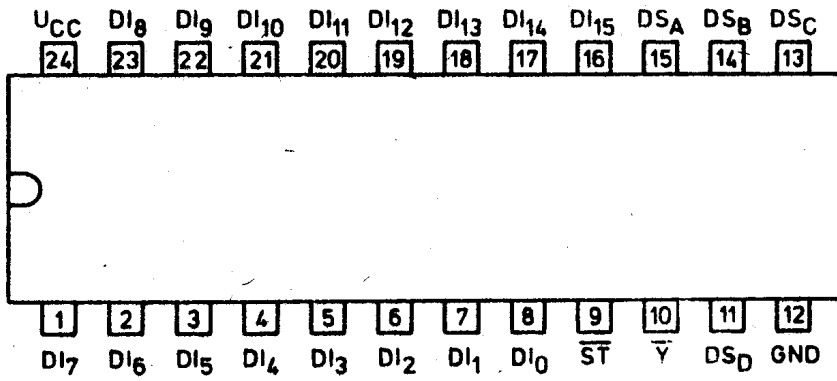




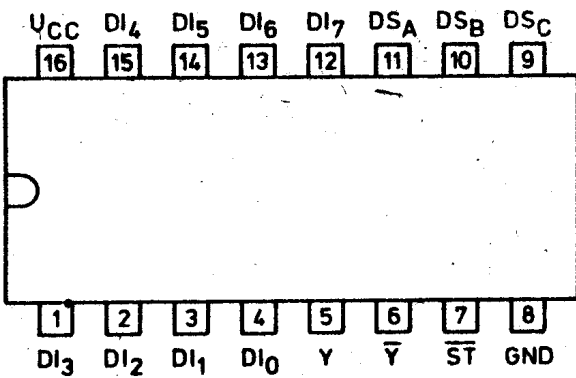
74132



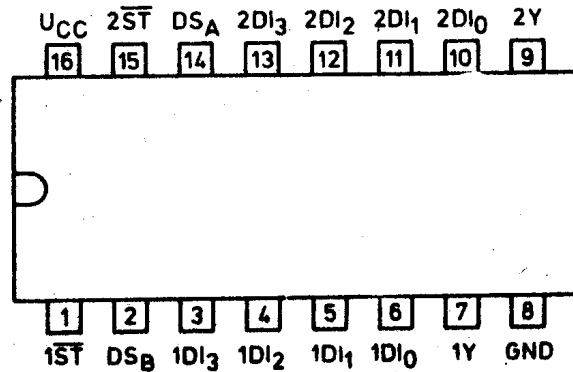
74145



74150

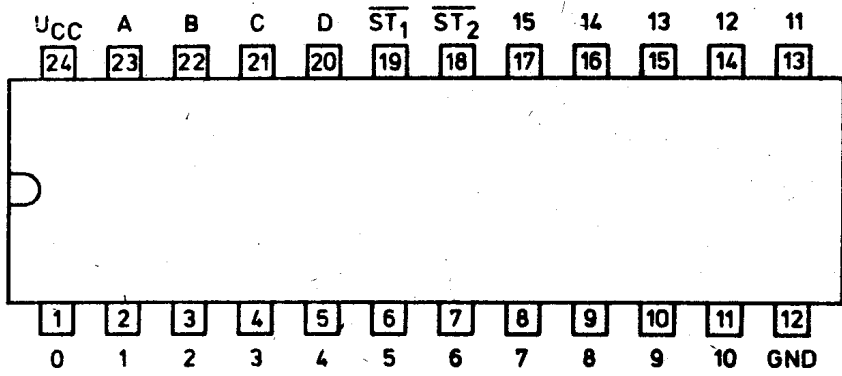


74151

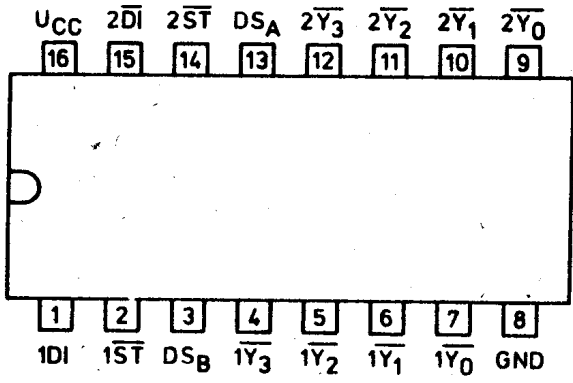


74153

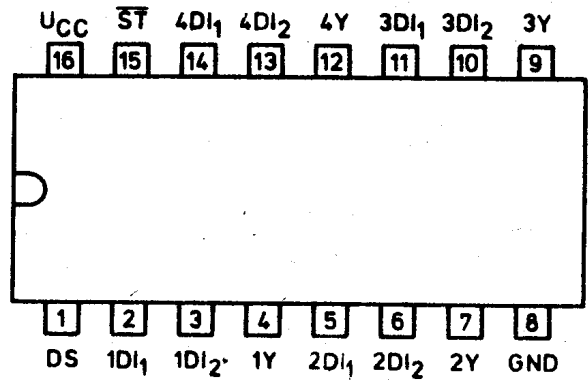
\*OPEN COLLECTOR



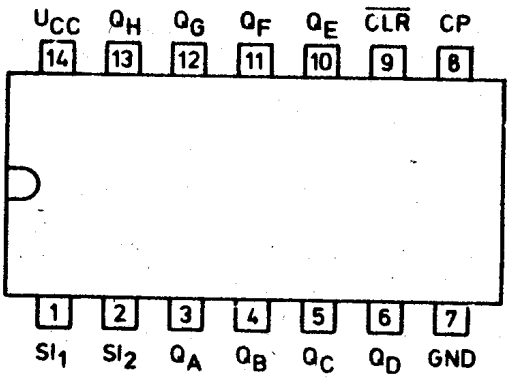
74154



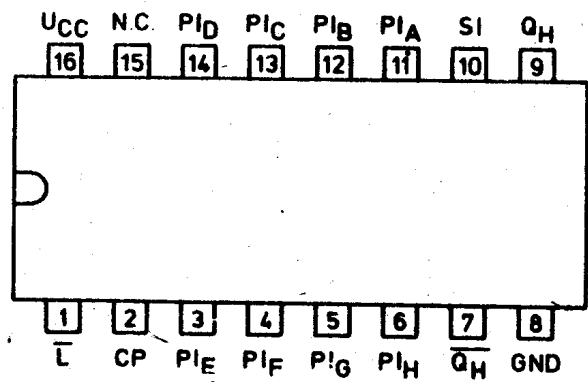
74155



74157

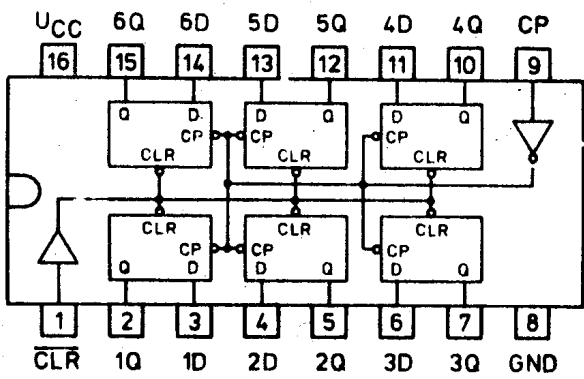


74164

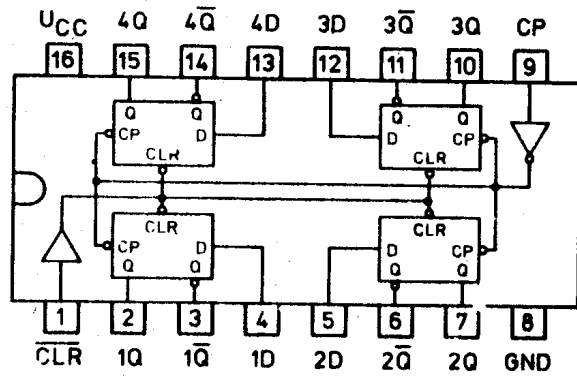


74165

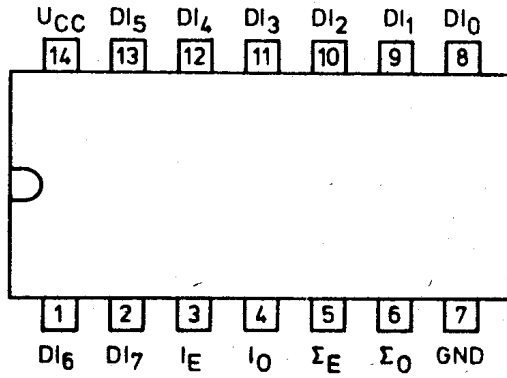
\*OPEN COLLECTOR



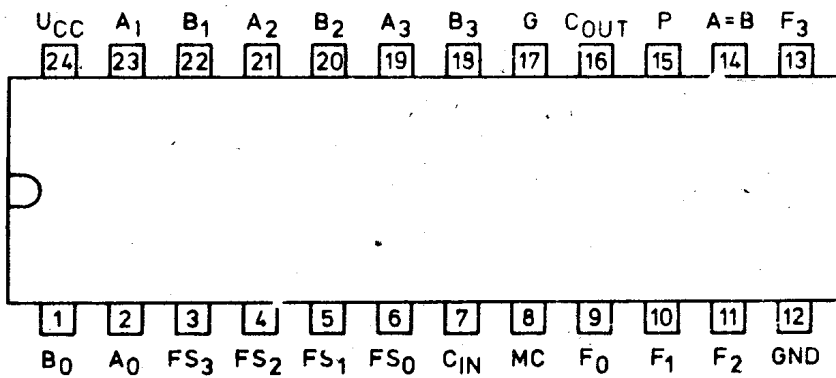
74174



74175



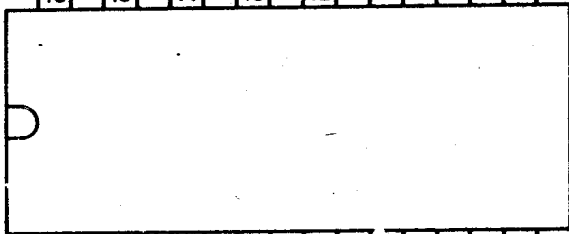
74180



74181

\*OPEN COLLECTOR

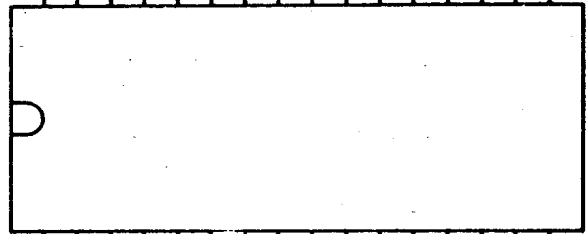
U<sub>CC</sub>  $\overline{P_2}$   $\overline{G_2}$   $C_n$   $C_{n+x}$   $C_{n+y}$   $\overline{G}$   $C_{n+z}$



1 2 3 4 5 6 7 8  
 $\overline{G_1}$   $\overline{F_1}$   $\overline{G_0}$   $\overline{P_0}$   $\overline{G_3}$   $\overline{P_3}$   $\overline{P}$  GND

74182

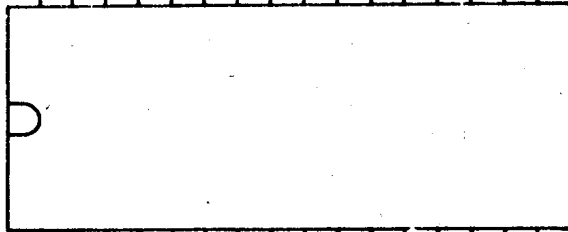
U<sub>CC</sub> P<sub>1A</sub> CLR  $\overline{BOUT}$   $\overline{COUT}$   $\overline{L}$  P<sub>1C</sub> P<sub>1D</sub>



1 2 3 4 5 6 7 8  
P<sub>1B</sub> Q<sub>B</sub> Q<sub>A</sub> CP<sub>D</sub> CP<sub>U</sub> Q<sub>C</sub> Q<sub>D</sub> GND

74192

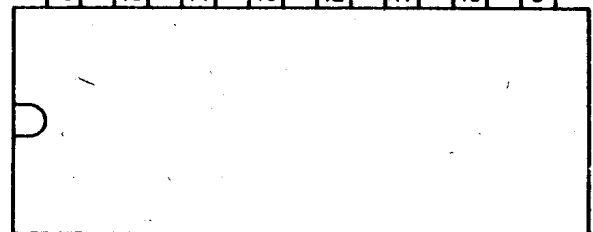
U<sub>CC</sub> P<sub>1A</sub> CLR  $\overline{BOUT}$   $\overline{COUT}$   $\overline{L}$  P<sub>1C</sub> P<sub>1D</sub>



1 2 3 4 5 6 7 8  
P<sub>1B</sub> Q<sub>B</sub> Q<sub>A</sub> CP<sub>D</sub> CP<sub>U</sub> Q<sub>C</sub> Q<sub>D</sub> GND

74193

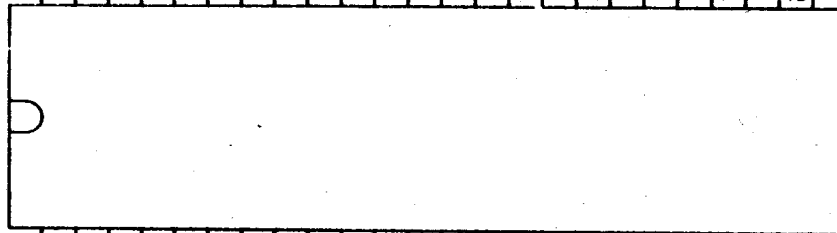
U<sub>CC</sub> Q<sub>A</sub> Q<sub>B</sub> Q<sub>C</sub> Q<sub>D</sub> CP MC<sub>1</sub> MC<sub>2</sub>



1 2 3 4 5 6 7 8  
 $\overline{CLR}$  S<sub>1R</sub> P<sub>1A</sub> P<sub>1B</sub> P<sub>1C</sub> P<sub>1D</sub> S<sub>1L</sub> GND

74194

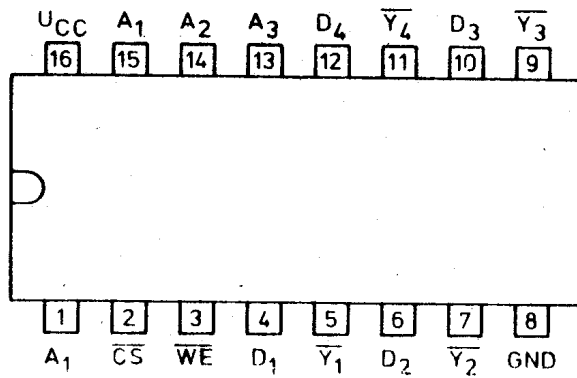
U<sub>CC</sub> MC<sub>1</sub> S<sub>1L</sub> P<sub>1H</sub> Q<sub>H</sub> P<sub>1C</sub> Q<sub>G</sub> P<sub>1F</sub> Q<sub>F</sub> P<sub>1E</sub> Q<sub>E</sub>  $\overline{CLR}$



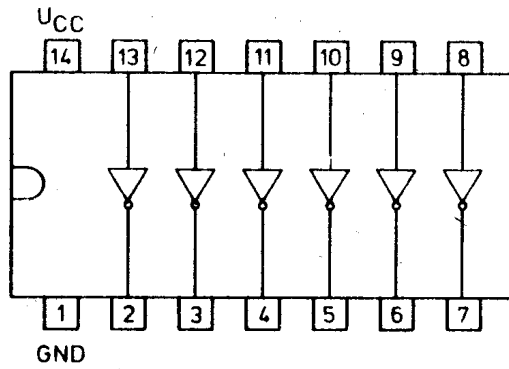
1 2 3 4 5 6 7 8 9 10 11 12  
MC<sub>2</sub> S<sub>1R</sub> P<sub>1A</sub> Q<sub>A</sub> P<sub>1B</sub> Q<sub>B</sub> P<sub>1C</sub> Q<sub>C</sub> P<sub>1D</sub> Q<sub>D</sub> CP GND

74198

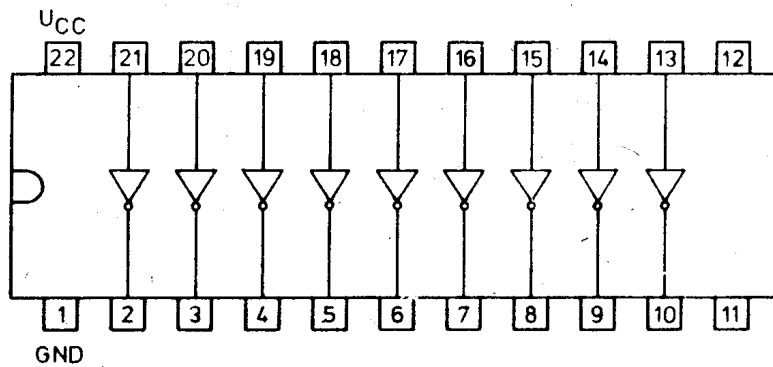
\*OPEN COLLECTOR



780101



74547



74548, 74549

\*OPEN COLLECTOR