

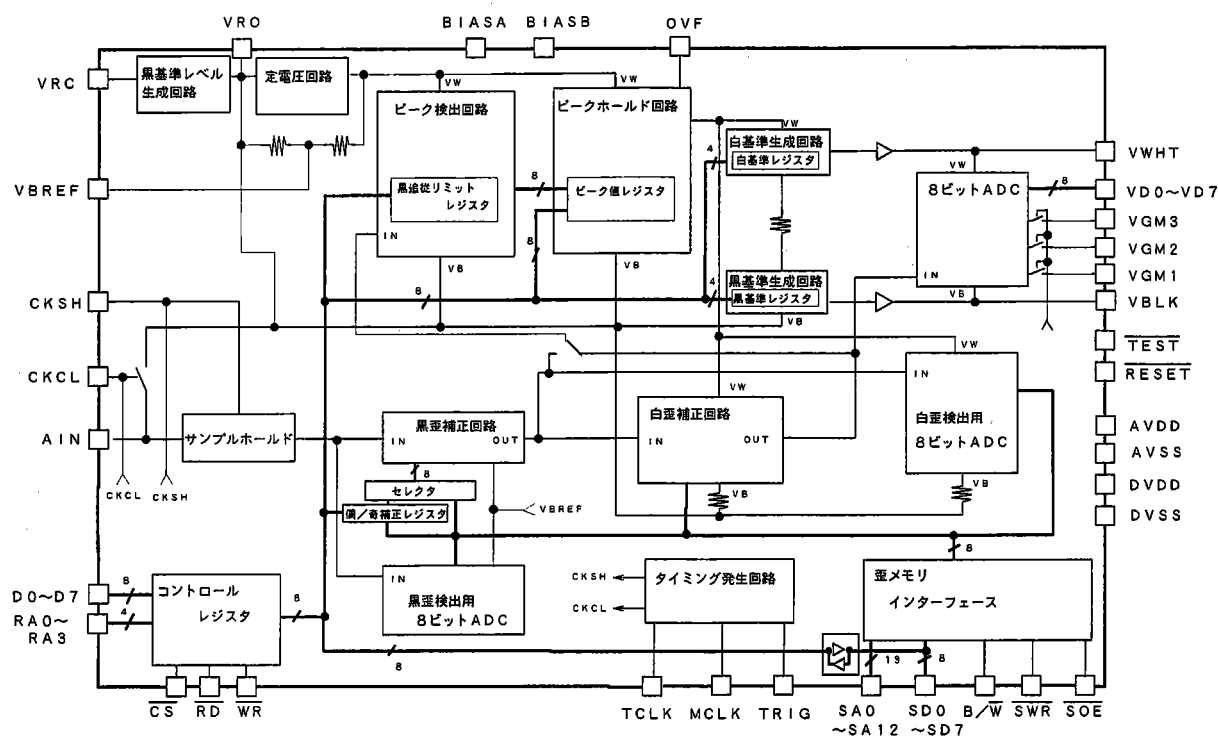


AK8406A

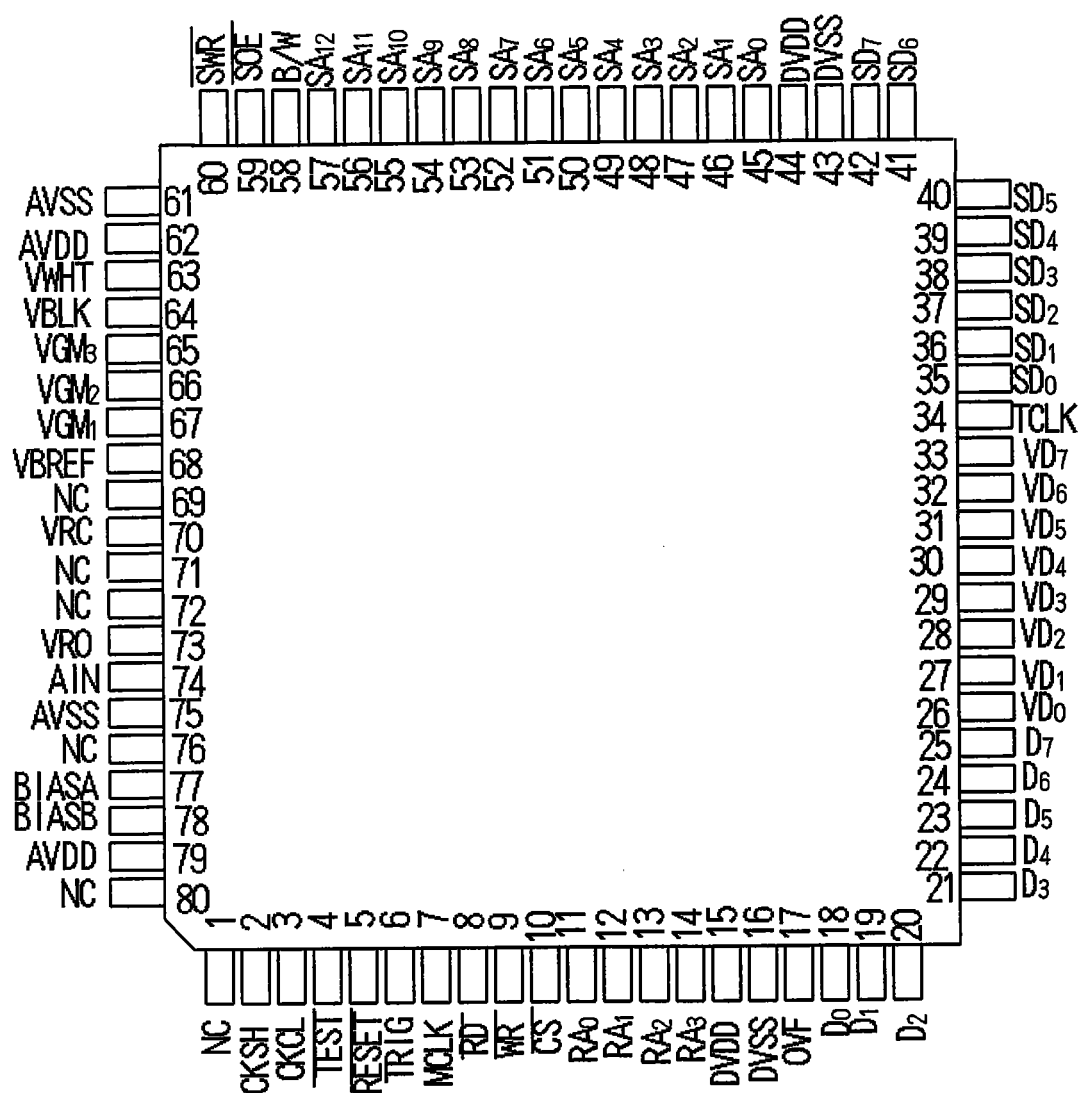
シェーディング補正用アドバンスアナログプリプロセッサ

特 長

- CCD、密着センサビデオ出力の各種歪補正（全画素 明歪／オフセットの検出および補正）
- 入力ビデオ信号ピークレベル $250\text{ mV}_{\text{p-p}} \sim 1.15\text{ V}_{\text{p-p}}$ （フラッシュADC入力換算）
- 入力ビデオ信号データレート 最大 5 M画素／秒
- 最大 8184 画素のセンサまで対応可（8 画素単位で設定可）
- 8ビット2段フラッシュADC内蔵
 - 黒基準電圧、白基準電圧設定用4ビットDAC×2内蔵
 - γ 補正用基準電圧外部入力（4折れ線）、 γ 補正有り／無しコントロールスイッチ内蔵
- 全画素明歪検出用ADC／補正用アナログ除算器内蔵（ピーク値の50%までを実質9ビット補正）
 - （外部メモリ要 8ビット×センサ画素数、ただし1024画素単位）
- オフセット検出／補正用8ビットADC／DAC内蔵
 - 全画素検出／補正時（外部メモリ要 8ビット×センサ画素数、ただし1024画素単位）
 - 偶奇オフセット補正時（外部メモリ不要）、偶奇レジスタリード／ライト可
 - 補正精度 $\pm 1\text{ mV}$
- AGC用ピーク検出回路／ピークホールド回路内蔵
 - 追従レンジ設定可（黒側追従リミットレジスタ）、ピーク追従区間設定可能（8画素単位）
 - ピーク値レジスタ リード／ライト可
- シェーディングメモリインターフェース（アドレス、リード／ライト）
- シェーディングメモリ・シリアルアクセス機能
- 定電圧回路内蔵
- CMOSモノリシック
- 5V単一電源（ $5\text{ V} \pm 5\%$ ）
- 80ピン QFP



端 子 配 置 図



端 子 / 機 能

端子番号	端 子 名	I/O	機 能
電 源 端 子			
15, 44	DVDD (2)	—	デジタル正電源 (5V typ)
16, 43	DVSS (2)	—	デジタル接地
62, 79	AVDD (2)	—	アナログ正電源 (5V typ)
61, 75	AVSS (2)	—	アナログ接地
ア ナ ロ グ 端 子			
74	AIN	I	センサ出力を入力する端子です。 外部でコンデンサ結合する必要があります。
77	BIASA	I	内蔵アンプのバイアス電流設定用端子。 本端子とVRO間に10kΩの抵抗(5%)を接続してください。
78	BIASB	I	内蔵サンプルホールドアンプ、歪補正用高速アンプのバイアス電流設定用端子。 本端子とVSS間に1kΩの抵抗(5%)を接続してください。
73	VRO	0	クランプ、内蔵ADC等の黒基準電圧バッファ出力(2.75V typ)端子。 黒補正は、ばらつき補正後このレベルにそろうように行われます。安定化用コンデンサを接続してください。
70	VRC	0	黒基準電圧安定化用のコンデンサ接続端子。
68	VBREF	0	黒歪補正回路の基準電圧バッファ出力端子(2.45V typ)。 黒補正は、(VRO-VBREF)をフルスケールとして行われます。安定化用コンデンサを接続してください。
63	VWHT	0	8ビットフラッシュADCの白側基準電圧バッファ出力端子。安定化用コンデンサを接続してください
64	VBLK	0	8ビットフラッシュADCの黒側基準電圧バッファ出力端子。安定化用コンデンサを接続してください
67, 66, 65	VGM1, VGM2 VGM3	I	γ補正を行うときの補正基準電圧入力端子。各端子ともスイッチを内蔵しているので、γ補正有り／無しのコントロールが簡単に行えます。γ補正基準電圧はVWHT-VBLK間を抵抗分割して作り、外部バッファを通して入力してください。

端子番号	端子名	I/O	機能
マイコンインターフェース端子			
19～25	D0～D7	I/O	システムデータバス。3ステート。
9	$\overline{WR}$	I	ライト信号。
8	$\overline{RD}$	I	リード信号。
10	$\overline{CS}$	I	チップセレクト信号。
11～14	RA0～RA3	I	レジスタ選択用アドレス信号。
クロックおよびコントロール信号			
7	MCLK	I	基本クロック信号。 信号データレート×4 (MAX 20MHz)。
2	CKSH	0	内蔵サンプルホールド回路用サンプル (Hレベル) ホールド (Lレベル) 信号出力端子。
3	CKCL	0	内蔵クランプ回路用スイッチのON (Hレベル) / OFF (Lレベル) コントロール信号出力端子。
6	TRIG	I	ラインスタートトリガ信号入力端子。 立ち上がりで、各種クロックの位相同期、カウンタの初期化、動作モードの実行開始等が行われます。
26～33	VD0～VD7	0	シェーディング補正後の8ビットビデオデータ出力端子。
34	TCLK	0	VD0～VD7の外部取り込み用クロック出力端子 このクロックの立ち上がりで取り込んでください。
17	OVF	0	ピーク検出回路のオーバーフロー出力。
シェーディングメモリインターフェース			
35～42	SD0～SD7	I/O	シェーディングメモリデータバス。3ステート。
45～57	SA0～SA12	0	シェーディングメモリアドレスバス。
58	B/ $\overline{W}$	0	黒歪/白歪メモリのバンクセレクト信号出力端子。 偶奇バランス補正モード時はローレベル固定。
59	$\overline{SOE}$	0	シェーディングメモリリード信号。
60	$\overline{SWR}$	0	シェーディングメモリライト信号。
その他の端子			
5	$\overline{RESET}$	I	リセット信号。レジスタ、カウンタ等の初期化。
4	$\overline{TEST}$	I	テスト端子。通常Hレベルにプルアップして下さい

機 能 説 明

■ アナログ回路

□ 基準電圧生成回路

- (1) 電源電圧を抵抗分割することで、クランプ基準電位 ($V_{VRO}=2.75V$ typ.) を生成します。
- (2) 定電圧回路を用いて、白側基準電位 ($V_{REF}=1.50V$ typ) を生成します。
センサ出力を直流再生した後の信号振幅が、この2つの基準電位の差 ($1.25V$) (typ.) 以内であることが必要です。

□ センサ信号入力回路

- (1) 入力信号の極性は下向きに白とします。
- (2) クランプ回路、サンプルホールド回路を内蔵します。
- (3) 内蔵のアナログスイッチと外部のコンデンサで、直流再生回路を構成します。本LSIでは、ビットクランプとラインクランプの2モードをもちます。
ラインクランプモード時は、(CLPEN) とCKSHとの論理積が実際のクランプパルスとなります。

□ 黒補正值検出ADC／補正回路

- (1) 設定された特定画素、もしくは、センサの画素毎に、クランプレベルとの差分を8ビットでAD変換し補正值とします。
- (2) 補正は、アナログ入力信号から、補正值相当分の電圧をアナログ減算することで行います。
フルスケール300mVのうち、100mV (MAX) はLSI初段のアンプ等のキャンセルに使用するため、検出可能なダイナミックレンジは200mVとなります。
極性は、基準レベル (クランプに使用するセンサ信号の基準レベル) に対して、白側に200mV (MIN)、補正分解能は $256 \times 2 / 3 = 170$ コードとなります。
- (3) また、本補正回路では、ばらつき補正、および、かなり大きな値が見込まれるLSI内部の初段アンプのオフセット、スイッチフィードスルーはキャンセルされますが、それ以降の回路ブロックのオフセットは残りますので、これを取り除く必要がある場合、システム的なキャリブレーションを行って下さい。

□ ピーク検出／ホールド回路 (ABC／AGC)

- (1) 追従比較式8ビットADC (ピーク検出回路) と、8ビットDAC (ピークホールド回路) で構成します。
- (2) ピーク検出回路の入力は、ピーク検出モードでは黒補正済み信号、読みとりモードでは黒／白補正済みの正規化信号となります。

□ 白補正值検出／補正回路

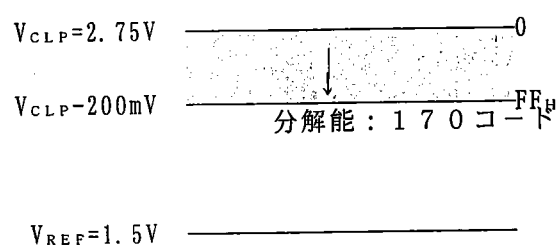
- (1) ピーク検出モードで決定されるピーク電圧 (V_{PEAK}) と V_{CLP} の50%をフルスケールとして、センサの画素毎に白補正值を検出します。
- (2) 検出した補正值をそのままゲインデータとして黒補正後のアナログ入力信号を増幅することで、信号の正規化を行います。

□ 画信号用ADC用基準電圧生成用DAC1、DAC2

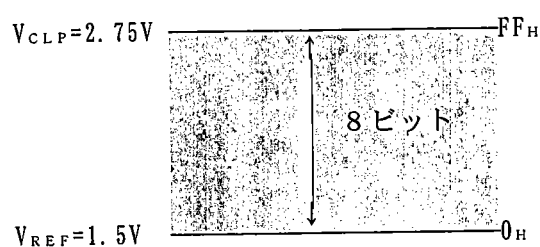
画信号用8ビットADCの黒／白基準電圧として V_{CLP} (クランプ電圧) - V_{PEAK} (ピーク電圧) に対する相対電圧を生成するための4ビットDACを内蔵します。

□ 画信号用ADC

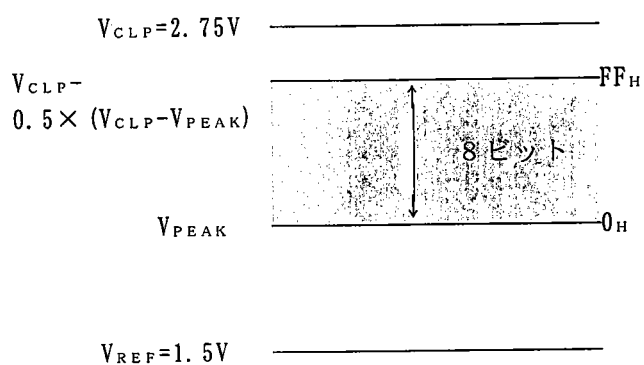
黒／白補正後のアナログ入力信号を、最終的にAD変換するための、8ビットADCです。



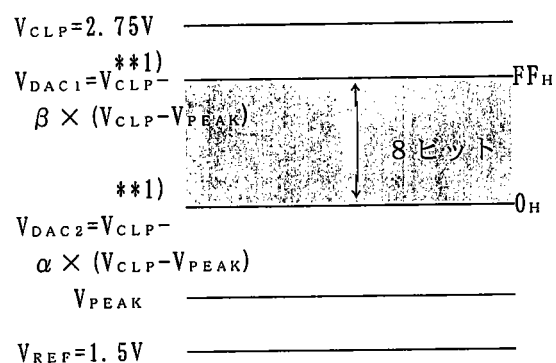
黒補正值検出／補正



ピーク検出／ホールド



白補正值検出／補正



画信号用ADC

**1) V_{DAC1} , V_{DAC2} は、画信号用ADC用基準電圧生成用DAC1、DAC2の電圧です。

■黒補正值検出

センサの出力は

- ① 前置アンプのオフセットまたはLSI内部のスイッチフィードスルー、アンプオフセット
 - ② ①のオフセットに加えて、センサのビットばらつき
- を含んでいます。これらを除去するために、本LSIは、以下の2種類の補正值検出モードを持っています。

- ①用の固定オフセットキャンセルモード（偶／奇画素に対応する内部の2個のレジスタを使用）
- ②用の全画素補正モード

□全画素補正モード（外部SRAMを使用）

- (1) 黒補正值検出用8ビットADCを動作させ、基準黒信号をスキャンし、そのADC出力を、逐次、外部SRAMに格納します。
- (2) ADCは逐次比較タイプであり、1ライン目のスキャンでは、 $16N+1$ 画素目 ($N=0, 1, 2, \dots$) のデータを検出します。
以下同様に、2、3、 $\dots$ 、16ライン目に各々、 $16N+2$ 、 $16N+3$ 、 $\dots$ 、 $16N+16$ ($N=0, 1, 2, \dots$) 画素目のデータを検出します。

□固定オフセットキャンセルモード（内部の2個のレジスタを使用）

- (1) 黒検出画素設定レジスタに、前ダミー画素中連続した2画素の参照画素の位置を設定した上で、黒補正值検出用8ビットADCを動作させます。
- (2) 1ライン目で最初の画素に対する補正データBOFF_{EVEN}を、2ライン目で次の画素に対する補正データBOFF_{ODD}を検出し、内部の2個のレジスタに格納します。

□その他、キャリブレーション機能

ピーク検出部の検出信号レベルと、ピークホールド部のホールド信号レベルの誤差となるピーク検出／ピークホールド部にあるアンプのオフセットを黒補正值検出モード時に検出し、内部レジスタに格納します。補正は、ピーク検出の出力データにこの補正值を加減算することにより行われます。この補正值を、外部に読み出すことはできません。

- （注1）一旦、電源をおとすと、上記キャリブレーションデータ用レジスタの内容は消えてしまいますので注意してください。
- （注2）黒補正值検出モード実行前に、あらかじめ、ピークホールド設定レジスタ（R1）に80Hをセットする必要があります。
- （注3）本補正回路では、ばらつき補正、および、かなり大きな値が見込まれるLSI内部の初段アンプのオフセット、スイッチフィードスルーはキャンセルされますが、それ以降の回路ブロックのオフセットは残りますので、これを取り除く必要がある場合、システム的なキャリブレーションを行って下さい。

■ ピーク検出

- (1) 8ビットピーク検出回路を動作させ、基準白信号をスキャンし、その最小値（最も白側の信号）を検出します。
- (2) LSI内部で、スキャンする基準白信号に対し、あらかじめ格納済みの黒補正值を使って、下式のように、アナログ黒補正がなされています。
- (3) ピーク検出幅はPHEWとし（PHEWはレジスタで設定可）、追従分解能はADCの1LSBとします。
- (4) モード終了後、ピーク検出カウンタの値をピークホールドレジスタにロードします。
- (5) 本モード実行時に入力信号が検出用ADCのフルスケールをオーバーするとOVF端子がHレベルに変わります。ラインエンドでLレベルに復帰します。

（全画素補正モード）

$$(\text{黒補正済み基準白信号})_i = (\text{基準白信号})_i - A(\text{黒補正值})_i \quad \cdots \cdots (1)$$

（固定オフセットキャンセルモード）

$$(\text{黒補正済み基準白信号})_{2i} = (\text{基準白信号})_{2i} - A(\text{BOFF}_{\text{EVEN}})$$

$$(\text{黒補正済み基準白信号})_{2i+1} = (\text{基準白信号})_{2i+1} - A(\text{BOFF}_{\text{ODD}})$$

ただし、 $A(D)$ は、 D をDA変換した後のアナログ値。

（注1）ピーク検出モード実行時に、LSI内部で、コントラスト調整用DAC1、DAC2は自動的にフルスケールにセットされますが、ピークホールドレジスタ（R4）には、実行前にあらかじめ、FFHをセットする必要があります。

（注2）ピーク検出リミッタは本モードにおいても、禁止とはなりませんので、適正な値をあらかじめ設定しておく必要があります。

■ 白補正值検出

センサの出力は、光学系の歪みやセンサのビットばらつきを含んでいるため、この補正を目的として白補正を行います。白補正の前処理として補正值の検出を行います。

□ 白補正值検出

- (1) 本モードでは、自動的に、白補正值検出用8ビットADCの黒側基準はピークホールド電圧の50% (typ.) となり、ADCのフルスケールは $0.5 \times \text{PEAK} \sim \text{PEAK}(\text{max.})$ となります。PEAKは、ピークホールドレジスタに格納されたデータに対応するレベルで、通常、本モードに先だって、ピーク検出モードを実行することによって、決まります。
 - (2) 白補正值検出用8ビットADCを動作させ、基準白信号をスキャンし、その出力を、逐次、外部SRAMに格納します。
（LSI内部では、基準白信号に対し、あらかじめ格納済みの黒補正值を使って、アナログ黒補正がなされています。）
 - (3) ADCは逐次比較タイプであり、1ライン目のスキャンでは、 $16N+1$ 画素目 ($N=0, 1, 2, \dots$) のデータを検出します。
以下同様に、2、3、 $\dots$ 、16ライン目に各々、 $16N+2$ 、 $16N+3$ 、 $\dots$ 、 $16N+16$ ($N=0, 1, 2, \dots$) 画素目のデータを検出します。
- （注）白補正值検出を実行する前には、原則としてピーク検出モードを実行し、ピークホールドレジスタの値を確定する必要があります。また、外部設定する場合は、ピーク検出モードをスキップしないとピークホールドレジスタの値が更新されるので注意してください。

■原稿読みとりモードでの補正処理

□黒補正

画信号に対し以下のアナログ演算により黒補正処理を行い、黒補正済み画信号が得られます。

(全画素補正モード)

$$(\text{黒補正済み画信号})_i = (\text{画信号})_i - A(\text{黒補正值})_i$$

(固定オフセットキャンセルモード)

$$(\text{黒補正済み画信号})_{2i} = (\text{画信号})_{2i} - A(\text{BOFF}_{\text{EVEN}})$$

$$(\text{黒補正済み画信号})_{2i+1} = (\text{画信号})_{2i+1} - A(\text{BOFF}_{\text{ODD}})$$

ただし、 $A(D)$ は、 D を DA 変換した後のアナログ値。

□白補正

黒補正済み画信号に対し、以下のアナログ乗算により白補正処理を行い、黒白補正済み画信号が得られます。

$$(\text{黒白補正済み画信号})_i = (\text{黒補正済み画信号})_i \times 510 / (510 - (\text{白補正值})_i)$$

■ABC機能

現ラインのピーク値をさがすピーク検出回路と1ライン前のピーク値を保持するピークホールド回路により、原稿読取り中の下地白濃度の変動に画信号ADCのフルスケールを1ライン遅れでライン単位で追従させ、下地濃度によらない鮮明な文字原稿の読みとりを目的とします。ABC機能のイネーブル/ディスエーブルは、レジスタでコントロールできます。

(1) 次ラインのピークホールド値 (PHD_{k+1}) は、ABCイネーブル ($PHEW$) 区間内で検出された黒白補正済み画信号のピーク値 ($PEAK_k$) で置き換えられます。ライン単位で変化します。

(2) 毎ライン、ピーク検出カウンタはリセット状態 (FF_H) からスタートします。

(3) 追従レンジは黒側リミッタで制限できます。すなわち、

$$PEAK_k \geq \text{黒LIMIT} \rightarrow PHD_{k+1} = \text{黒LIMIT}$$

(4) 原稿読みとりモード開始時の、ピークホールド初期値 (PHD_0) は下式の範囲に入っていることが必要なので注意してください。

$$\text{黒LIMIT} > PHD_0$$

■ タイミング制御信号生成

本 L S I はタイミング制御用信号として以下の 4 個の信号を生成します。

1. (SEN) : 入力画信号イネーブル
2. (PHEW) : A B C ピークホールドイネーブル
3. (CLPEN) : ラインクランプイネーブル
4. (BOFFEN) : 黒参照画素イネーブル

□ 入力画信号イネーブル (SEN)

ダミー画素数レジスタ (1 画素単位) と、画素数レジスタ (8 画素単位) の設定値により画処理有効幅を決めます。

□ ピークホールドイネーブル (PHEW)

ピークホールドイネーブルは、ピーク検出モード、もしくは A B C 機能 O N 原稿読みとりモード時の、A B C 区間を決めるのに用いられます。

レジスタにより、開始画素 (16 画素単位) と終了画素 (16 画素単位) を設定可能です。

□ ラインクランプイネーブル (CLPEN)

ラインクランプモード時のクランプパルスイネーブル区間を決めます。

ライン先頭の立ち下がり (ディスエーブル) タイミング、ラインエンドの立ち上がり (イネーブル) タイミングは L S I 内部で自動的に決まります。

ラインクランプ時の実際のクランプ信号は、CKSH (内部発生) と、この (CLPEN) との論理積信号となります。ビットクランプ時は、この信号とは無関係に、内部で発生します。

□ 黒参照画素イネーブル (BOFFEN)

黒補正を固定オフセットキャンセルモードで処理する時の、補正値を検出する連続 2 個の代表画素を決めるイネーブル信号です。レジスタで設定可能 (16 画素単位) です。

通常、センサの前ダミー画素区間中の光シールド画素とするのが好ましいと思われます。

黒補正を全画素補正モードで処理する時はこの信号は無関係となります。

■動作コントロール

□前処理

画像の読み取りを行う際にシェーディング補正が必要となり、読み取り動作の実行前に補正値を検出する必要があります。読み取り動作の前処理として必要なシーケンスは次の通りです。

- (1) レジスタ初期設定
- (2) 黒歪み検出
- (3) ピーク検出
- (4) 白歪み検出

これらの動作終了後、補正値データやピーク値は、外部RAM、もしくは内部レジスタに格納されます。

これらの動作実行は、動作モード設定レジスタを設定し、動作イネーブルビットを1にセットすることで有効となります。これらの処理が実際に開始されるのは、TRIG信号が入力された後となります。

処理の終了は、所定の時間ウェイトし、BUSYフラグを読み込むことで確認できます。

AK8406Aは処理が終了すると自動的に動作イネーブルビットをクリアし、待機状態となります。

黒補正値検出モード（全画素モード）／白補正値検出モードの実行に16ライン、黒補正値検出モード（偶奇バランスモード）の実行に2ライン、ピーク検出モードの実行に1ラインのウェイトが必要です。

□画像読み取り

画像を読み取るには、動作モード設定レジスタを設定し、動作イネーブルビットを1にセットします。このモードでは、動作イネーブルビットがクリアされるまで、BUSYフラグはリセットされません。

コマンド発行後の最初のTRIG信号で動作が開始され、画像出力データ（VD0-7）、サンプリングクロック（TCLK）が出力されます。

□シェーディングメモリアクセス時

AK8406Aを通してシェーディングメモリの内容を読み出すことができます。動作イネーブルビットをLowにし、シェーディングメモリアクセスイネーブルをLowレベルにした後、Highレベルとすることで、このモードになります。

その後、シーケンシャルにリード／ライトが可能となります。

黒補正値／白補正値の切替はコントロールレジスタで設定可能です。

	動作モード コントロール		動作 イネーブル	シェーディングメモリ アクセス イネーブル	シェーディングメモリ バンク セレクト	黒補正 モード セレクト	動作 スタート	動作 終了 ステータス (BUSY)	ピーク 検出 イネーブル	γ補正 イネーブル
ROVシフト/信号	D5	D4	D7	D6	D1	D3	信号	(D7)	D2	D0
読みとり	0	0	1	0	X	0/1	TRIG	X	0/1	0/1
黒歪検出 偶奇バランス 全画素補正	0	1	1	0	X	1	TRIG	有効	自動に デイスエー ブル	X
						0				
白歪検出	1	0	1	0	X	0/1	TRIG	有効	0/1	X
ピーク検出	1	1	1	0	X	0/1	TRIG	有効	自動に イネーブル	X
シェーディングメモリ アクセス 黒バンク 白バンク	X	X	0	0→1	1	X	$\overline{RD}/\overline{WR}$	X	X	X
					0					

	ピークホル ドレジスタ	ピーク追 従リミ ットレ ジスタ	白／黒 基準 レジスタ	偶／奇 ワード レジスタ	ピーク 検出区 間設定 レジスタ	黒基準 参照画 素設定 レジスタ	センサ長 レジスタ	シェー ディング メモリ ウィンド ウレジスタ
レジスタ	R1	R2	R3	R4, R5	R6, R8 R9	RA	R6, R7	RC
読みとり	ピーク検 出イネー ブル時 自動 更新	ピーク検 出イネー ブル時 有効	有効	偶奇ハ ランス 補正時 有効	ピーク検 出イネー ブル時 有効	X	有効	X
黒歪検出 偶奇バランス 全画素補正	0(白) に リセット	X	X	有効	X	有効	X	X
				X		X	有効	
白歪検出	ピーク検 出イネー ブル時 自動 更新	ピーク検 出イネー ブル時 有効	X	偶奇ハ ランス 補正時 有効	ピーク検 出イネー ブル時 有効	X	有効	X
ピーク検出	自動 更新	有効	X	偶奇ハ ランス 補正時 有効	有効	X	有効	X
シェーディングメモリ アクセス	X	X	X	X	X	X	X	有効

レジスタ										
アドレス (HEX)	OPE	R/W	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
0	X	W (R)	動作 イネ-ブル	SME コントロール	動作モード 設定		黒補正 モード設定	P検出 イネ-ブル	B/W コントロール	γ-ハフフ イネ-ブル
1	0	R/W	ピークホールド値レジスタ							
			PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
2	X	W	A B C (ピーク検出) 黒側追従リミット設定							
			PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
3	X	W	白基準設定				黒基準設定			
			VWHT3	VWHT2	VWHT1	VWHT0	VBLK3	VBLK2	VBLK1	VBLK0
4	0	R/W	偶数画素オフセットレジスタ							
			E07	E06	E05	E04	E03	E02	E01	E00
5	0	R/W	奇数画素オフセットレジスタ							
			007	006	005	004	003	002	001	000
6	X	W	クランプ パルス幅	クランプ 設定	センサ長設定 レジスタ		ピーク検出開始 画素設定レジスタ		ピーク検出終了 画素設定レジスタ	
					SL9	SL8	PS9	PS8	PE9	PE8
7	X	W	センサ長設定レジスタ							
			SL7	SL6	SL5	SL4	SL3	SL2	SL1	SL0
8	X	W	ピーク検出開始画素設定レジスタ							
			PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0
9	X	W	ピーク検出終了画素設定レジスタ							
			PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
A	X	W	X					黒基準参照画素設定レジスタ		
								BR2	BR1	BR0
B	X	W	ダミー画素数レジスタ							
			DUM7	DUM6	DUM5	DUM4	DUM3	DUM2	DUM1	DUM0
C	0	R/W	シェーディングメモリアクセスレジスタ							
			SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0

1. OPE = 動作イネーブル (R0/D7)、R0/D7はR/W可能です。
2. ☐ は、RESETで初期化されます。
3. ☐ は、書き込み直後のTRIG↑で有効になります。

(1) R0レジスタ

1. D0 : γ 補正イネーブル

- 0 : ディスエーブル (リセット時)
 1 : イネーブル

8ビットADCの γ 補正基準電圧入力の接続をコントロールします。ディスエーブル状態では、 γ REF1 $\sim\gamma$ REF3はオープンとなっており、8ビットADCはリニアな特性となっています。イネーブル状態では、8ビットADCの抵抗ラダーの4分割ポイントに、各々、外部から与える γ REF1 $\sim\gamma$ REF3の基準電圧が供給され、8ビットADCの特性は γ 補正特性に変わります。

RESETでディスエーブル状態となります。

2. D1 : B/ $\overline{W}$ コントロール

- 0 : B/Wポート=0 (リセット時)
 1 : B/Wポート=1

シェーディングメモリをアクセスする場合(R0/D6=1)に、B/ $\overline{W}$ ポートを直接コントロールできます。R0/D4 $\sim$ D5で設定される動作モードを実行している場合は、このビットの状態とは関係なく、所定のタイミングで変化します。

3. D2 : ピーク検出イネーブル

- 0 : ディスエーブル (ホールド) (リセット時)
 1 : イネーブル

4. D3 : 黒補正モード

- 0 : 全画素検出/補正モード
 1 : 偶奇バランス検出/補正モード

5. D4 $\sim$ D5 : 動作モード

- | D5 | D4 | |
|----|----|------------|
| 0 | 0 | : 読み取りモード |
| 0 | 1 | : 黒歪検出モード |
| 1 | 0 | : 白歪検出モード |
| 1 | 1 | : ピーク検出モード |

R0/D7=1のとき、各モード設定後最初のTRIG $\uparrow$ で動作開始となります。

6. D6 : シェーディングメモリアクセスイネーブル

- 0 : ディスエーブル (リセット時)
- 1 : イネーブル

R0/D7=0 のとき、RCレジスタをウィンドウとしてシェーディングメモリアクセスできます。このビットに1が書かれるとアドレスカウンタはクリアされ、それ以降、RCレジスタをアクセスする毎にカウンタはインクリメントされます。

7. D7 : 動作イネーブル (R/W)

- 0 : ディスエーブル (リセット時)
- 1 : イネーブル

D4~D5の動作モードを実行する時は、このビットをイネーブルとしてください。レジスタマップにあるように、一部のレジスタをアクセスする時にはディスエーブル状態にしてください。

読み取りモード以外の各モード (黒/白歪検出モード、ピーク検出モード) では、モード終了後、自動的にクリアされ、AK8406は待機状態となります。

黒歪検出モードは、偶奇バランス補正時は2サイクル、全画素補正時は16サイクルかかります。白歪検出モードは16サイクルかかります。ピーク検出モードは1サイクルかかります。この期間は、外部タイマ等でウェイトしてください。

このビットは、読みだしも可能なので、読み取り以外のモード実行終了確認のためのステータスビットとしても使用できます。外部タイマと併用してお使いください。

(2) R1レジスタ (ピークホールドレジスタ)

ピーク検出モードもしくは、ピーク検出イネーブル時の白歪検出モード/読みとりモード時には、このレジスタにピーク検出回路 (ADC) の出力コードが格納されます。各ライン毎の設定画素処理後に新たなピーク値に更新されます。

また、このレジスタに格納されたコードがそのまま、ピークホールド回路 (DAC) の出力電圧を決めます。

RESETの他、黒歪検出モードを実行することでも、このレジスタの内容は0 (白) にクリアされてしまいますので、注意してください。

(3) R2レジスタ (ピーク検出黒リミットレジスタ)

ピーク検出回路の黒側リミット値をいれてください。コード設定は、ピーク検出/ピークホールド回路と同じに考えてください。

ピーク検出モードもしくは、ピーク検出イネーブル時の白歪検出モード/読みとりモード時に、このレジスタに書かれたリミット値は有効となります。

RESETで00Hされます。

(4) R3レジスタ (白基準/黒基準レジスタ)

フラッシュ8ビットADCの白基準電圧 (V_{WHT}) と黒基準 (V_{BLK}) をピーク値ークランプレベルをフルスケールとした割合で設定します。設定分解能は $0.25 \times 1/16$ で、実際の値は下式および係数 (α 、 β) は表のようになります。

なお、設定値が有効となるのは、動作モードを読みとりモードとした時となります。

$$V_{WHT} = V_{CLP} (2.75 V \text{ typ.}) - \alpha \times (V_{CLP} - V_{PEAK})$$

$$V_{BLK} = V_{CLP} (2.75 V \text{ typ.}) - \beta \times (V_{CLP} - V_{PEAK})$$

V_{CLP} : クランプ電圧、 V_{PEAK} : 信号ピーク電圧

設定値	α	β
F	0.766	0.000
E	0.781	0.016
D	0.797	0.031
C	0.813	0.047
B	0.828	0.063
A	0.844	0.078
9	0.859	0.093
8	0.875	0.109
7	0.891	0.125
6	0.906	0.141
5	0.922	0.156
4	0.938	0.172
3	0.953	0.188
2	0.969	0.203
1	0.984	0.219
0	1.000	0.234

(5) R4レジスタ (偶数画素オフセットレジスタ)

偶奇バランス補正モードで使用する場合、黒歪検出モードを実行すると、このレジスタに偶数番目の画素に対応する黒歪検出ADCの出力コードが格納されます。(どの画素をADするかは黒基準参照画素設定レジスタ: RAレジスタで決定します)

同様に、偶奇バランス補正モードで使用する場合、ピーク検出モード/白歪検出モード/読みとりモードを実行すると、このレジスタのコードに対応する電圧が偶数番目の信号入力から減算されます。

出力コードはLSI内部のオフセットを同時にキャンセルする分も込みで出力されますので注意してください。

全画素モードで黒補正を行う時は、このレジスタではなく、外部メモリが使用されます。LSI内部のオフセットキャンセル分も加算され出力されるのは同様です。

(6) R5レジスタ (奇数画素オフセットレジスタ)

奇数番目の画素に対応するR4レジスタと同じ機能を持ちます。

(7) R6レジスタ

1. D6 : クランプ方式セレクト

0 : ビットクランプ

1 : ラインクランプ

クランプ方式を選択します。タイミング等、詳しくは図1を参照してください。

RESETでクリアされます。

2. D7 : ビットクランプパルス幅セレクト

0 : MCLK×1

1 : MCLK×1/2

(8) R6レジスタ(D4、D5)、R7レジスタ:センサ長レジスタ

使用するセンサの有効画素数を8画素単位で設定してください。ダミー画素数は含みません。
最大8184画素まで設定できます。設定値をN、実際の有効画素数をSとすると、

$$S = 8 \times N \quad (N = 1 \sim 1023)$$

(9) R6レジスタ(D2、D3)、R8レジスタ:ピーク検出開始画素設定レジスタ

ピーク検出幅を決めます。開始画素を8画素単位で設定してください。ダミー数は含めません。
設定値をN、開始画素位置をPSとすると、

$$PS = 8 \times N \quad (N = 0 \sim 1023)$$

(10) R6レジスタ(D0、D1)、R9レジスタ:ピーク検出終了画素設定レジスタ

ピーク検出幅を決めます。終了画素を8画素単位で設定してください。ダミー数は含めません。
設定値をN、終了位置をPEとすると、

$$PE = 8 \times N \quad (N = 1 \sim 1023) > PS$$

(11) RAレジスタ

D0～D2:黒基準参照画素設定レジスタ

偶奇バランス補正モードを用いて黒補正を行う時に、実際の参照画素を8画素単位で設定します。
ダミー画素中になくてもなりません。設定値をN、実際の参照画素位置をBとすると、

$$B_{odd} = 8 \times N + 1 < D \quad (\text{ダミー数}) \quad (N = 0 \sim 7)$$

$$B_{even} = 8 \times N + 2 < D \quad (\text{ダミー数}) \quad (N = 0 \sim 7)$$

(12) RBレジスタ(前ダミー画素数設定レジスタ)

センサの前ダミー画素数を1画素単位で設定します。設定値をN、実際の画素数をDとすると、
 $D = N + 2 \quad (N = 0 \sim 255)$

(13) RCレジスタ(シェーディングメモリアクセスレジスタ)

このレジスタをウィンドウとしてシェーディングメモリにアクセスできます。アクセスする時には、動作イネーブル(R0/D7)をディセーブル状態とし、またシェーディングメモリアクセスイネーブル(R0/D6)を0から1に変化させてください。アドレスカウンタが初期化されます。

以降は、RD、WRがはいる度にカウンタは自動的にインクリメントされ、シーケンシャルにシェーディングメモリにアクセスする事ができます。設定画素数回アクセスしたら終了してください。黒、白のバンクは、R0/D1で決めてください。

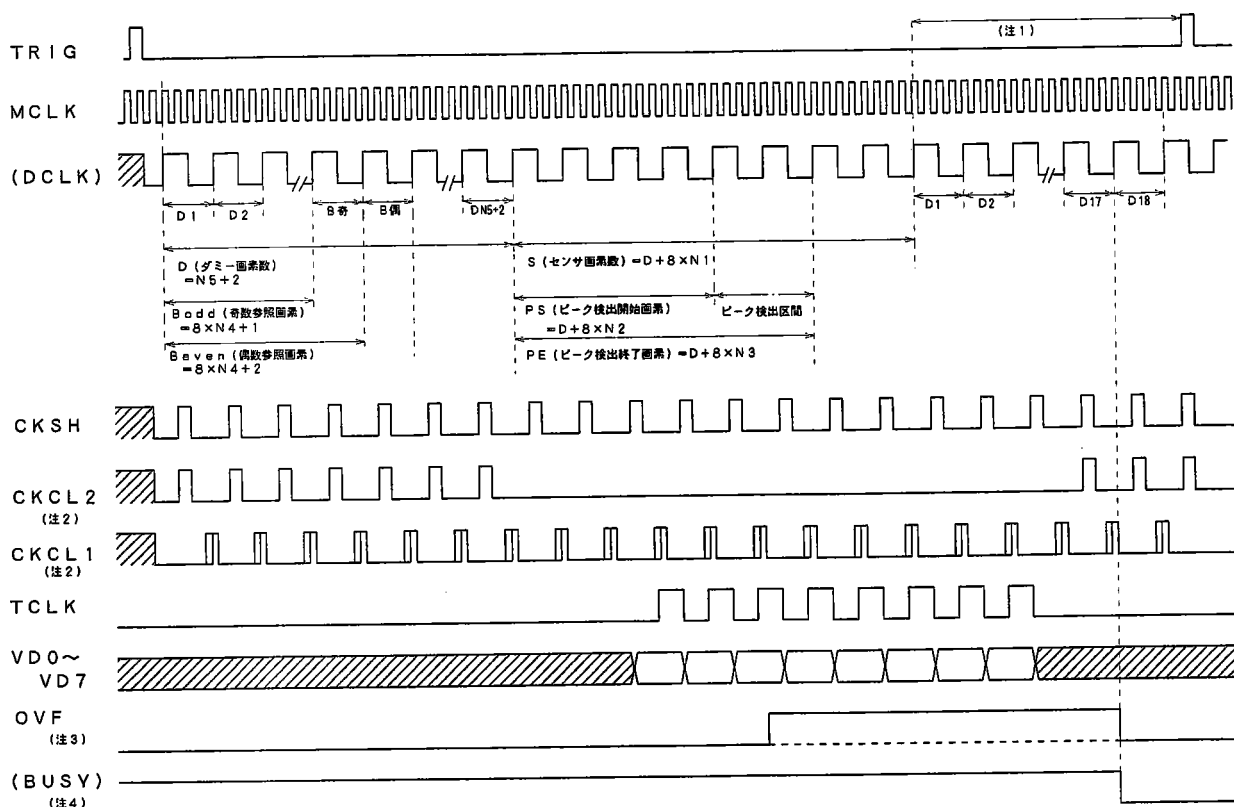


図1 レジスタ設定値とクロックタイミング

(注1) 1. ビットクランプ時

蓄積時間 (= TRIGパルスの周期) は、最小でも
(前ダミー数 (D) + センサ画素数 + 18) × 4 / MCLK 時間を下回ることがないようにしてください。

例えば、MCLK = 20 MHz (画素レート = 5 MHz) で 4864 画素 (前ダミー数 = 128) のセンサを使用する場合、

$$(128 + 4864 + 18) \times 4 / 20 \text{ M} = 1.02 \text{ mS}$$

となります。

2. ラインクランプ時

クランプは、ブランキング区間 (実画素のない区間) に行いますので、蓄積時間は読み取り区間のサンプルホールド、クランプ用スイッチからのもれによるカップリングコンデンサ電圧ドループ量と、クランプ区間の充電電圧量から決めてください。

MCLK = 20 MHz (画素レート = 5 MHz) で画素数 N = 4864 のセンサを使用し、カップリングコンデンサ C = 6.8 μC、入力信号ピーク電圧 $V_{p-p} = 1 \text{ V}$ の時の、必要クランプ時間 t を例として次に示します。

1 ラインのドループ量は、

$$\Delta V = (1.0 \times 10^{-12} \times V_{p-p} \times N) / C = 0.715 \text{ mV}$$

クランプ実行時間を t_c 、クランプリカバリー不足率を $\alpha (= e^{-(t_c/RC)})$ とすると、
k ライン目でのドループ量 $\Delta V(k)$ は、

$$\Delta V(k) = \alpha^{k-1} \Delta V + \alpha^{k-2} \Delta V + \dots + \alpha \Delta V \\ = \alpha / (1 - \alpha) \times (1 - \alpha^{n-1}) \Delta V$$

∞ ライン目では、

$$\Delta V(\infty) = \alpha / (1 - \alpha) \times \Delta V$$

$\Delta V(\infty) < 10 \text{ mV}$ とすると、

$$\alpha < 10 / (0.715 + 10) = 0.933$$

$$\therefore t_c > -RC \times \ln \alpha$$

$$= -150 \times 6.8 \mu \times \ln(0.933)$$

$$= 70.4 \mu \text{ S}$$

クランプクロックのデューティは25%なので、
必要クランプ時間 $t = 70.4 \times 4 = 281.6 \mu S$

この場合のライン周期は
 $(4864 / 5 \text{ MHz}) + 281.6 \mu S = 1254 \mu S$
となります。

(注2) ラインクランプ時のクランプパルス数は、蓄積時間 / 1画素時間 - センサ画素数 - 16となります。

また、ビットクランプ時にはクランプパルス幅を選択できます。
なおCKCL2はラインクランプ時におけるクランプクロックを示し、CKCL1はビットクランプ時のクランプクロックを示します。

(注3) ピーク検出区間において、入力信号が最大検出可能電圧 (1.25 V typ) を越えた場合、OVF端子がハイレベルとなりますが、そのラインの終わり近くでクリアされます。

(注4) 動作イネーブル (R0 / D7) ビットはリード可能で、BUSYフラグとして使用できます。黒歪検出、ピーク値検出、白歪検出の各モードではR0レジスタにモードコマンドを書き込んだ直後にハイレベルとなり、各モード実行終了後にクリアされると同時に、AK8406は待機状態となります。

読み取りモードでは、LSI内部でクリアされることはなく動作中はずっとハイレベルのままです。読み取りに先立つ準備的な各モードの終了確認に外部タイマとあわせて使用してください。

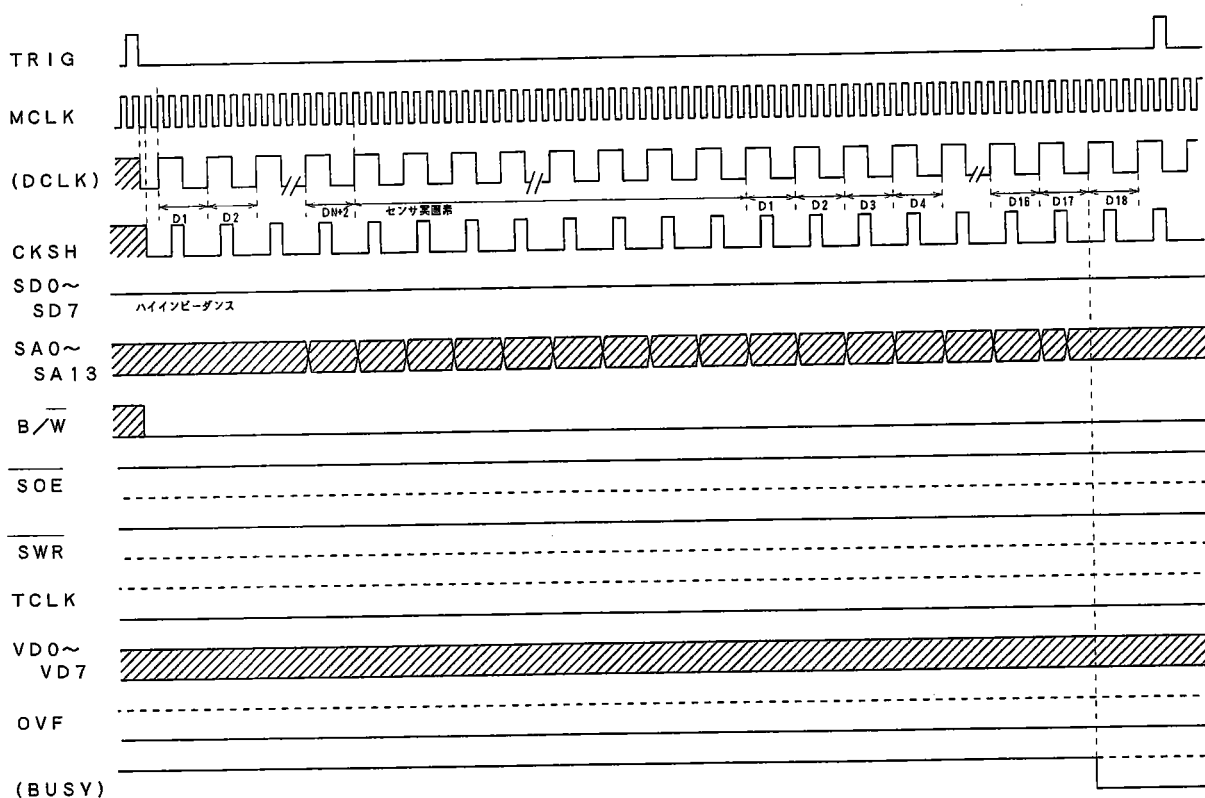


図2 黒歪検出モード（偶奇バランス補正時）

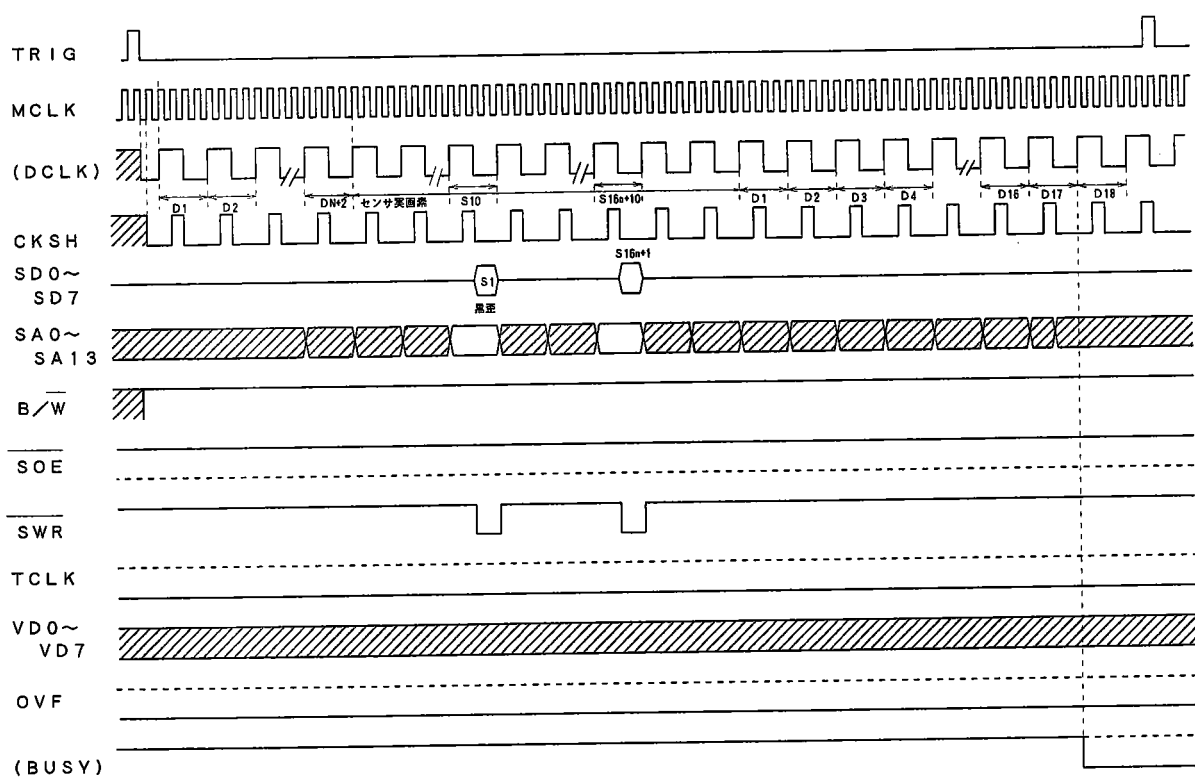


図3 黒歪検出モード（全画素ばらつき補正時）

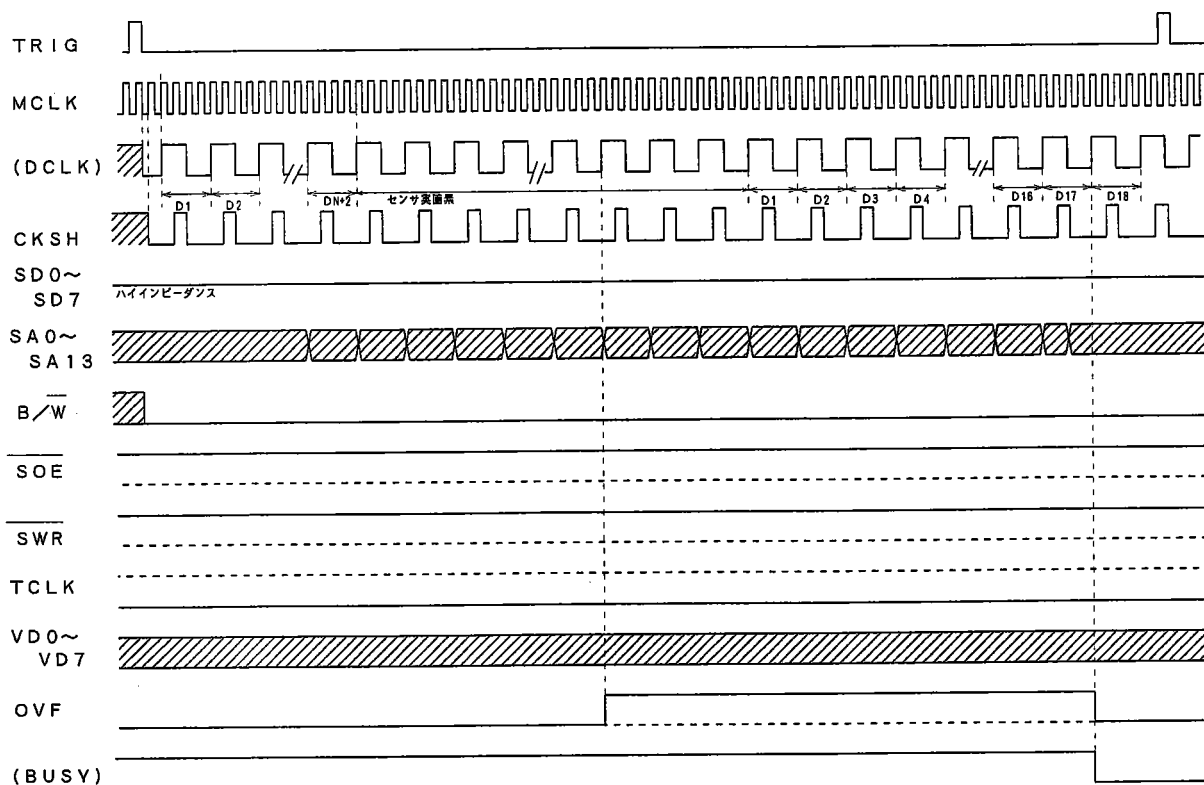


図4 ピーク検出モード（偶奇バランス補正時）

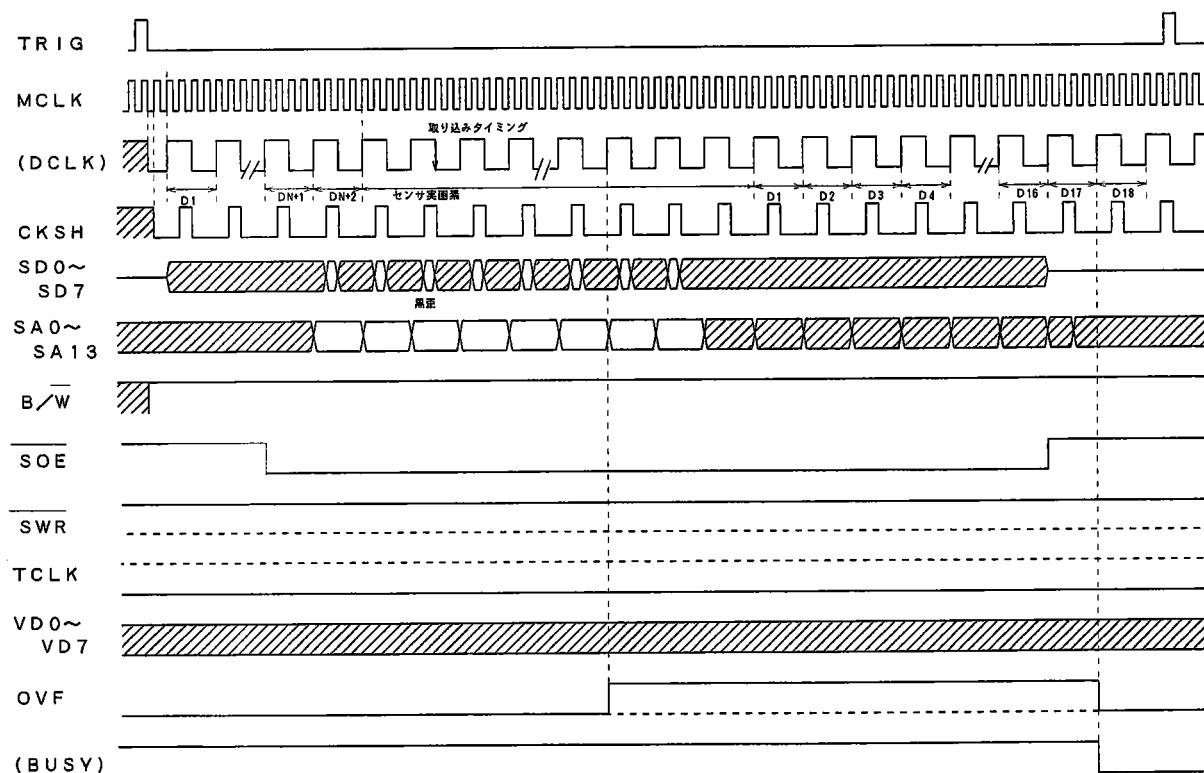


図5 ピーク検出モード（全画素ばらつき補正時）

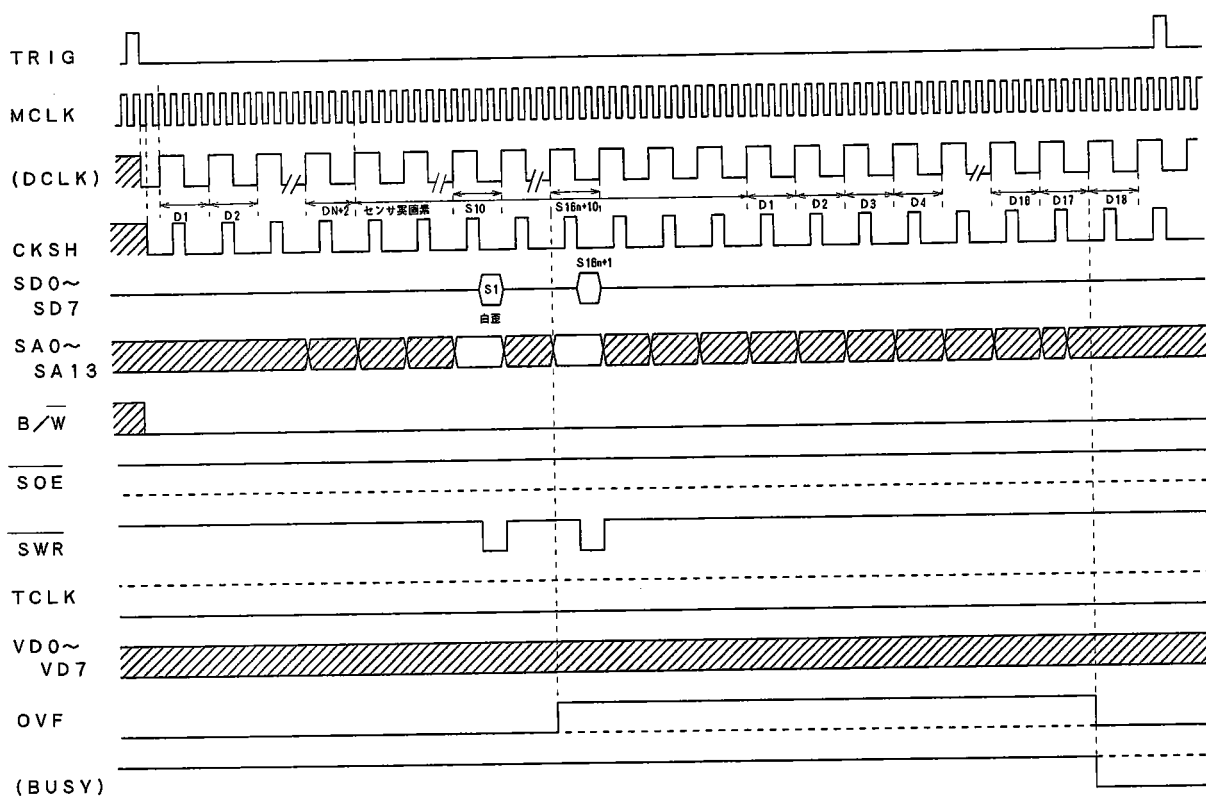


図6 白歪検出モード (偶奇バランス補正時)

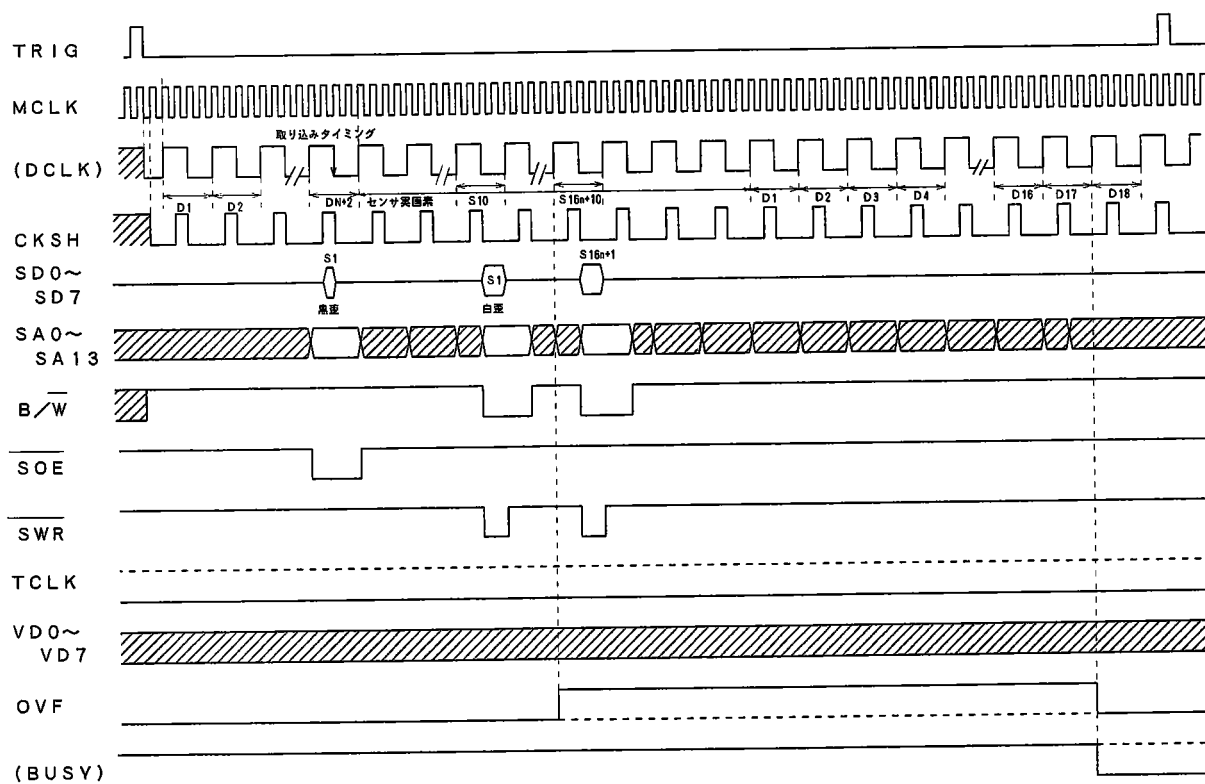


図7 白歪検出モード (全画素ばらつき補正時)

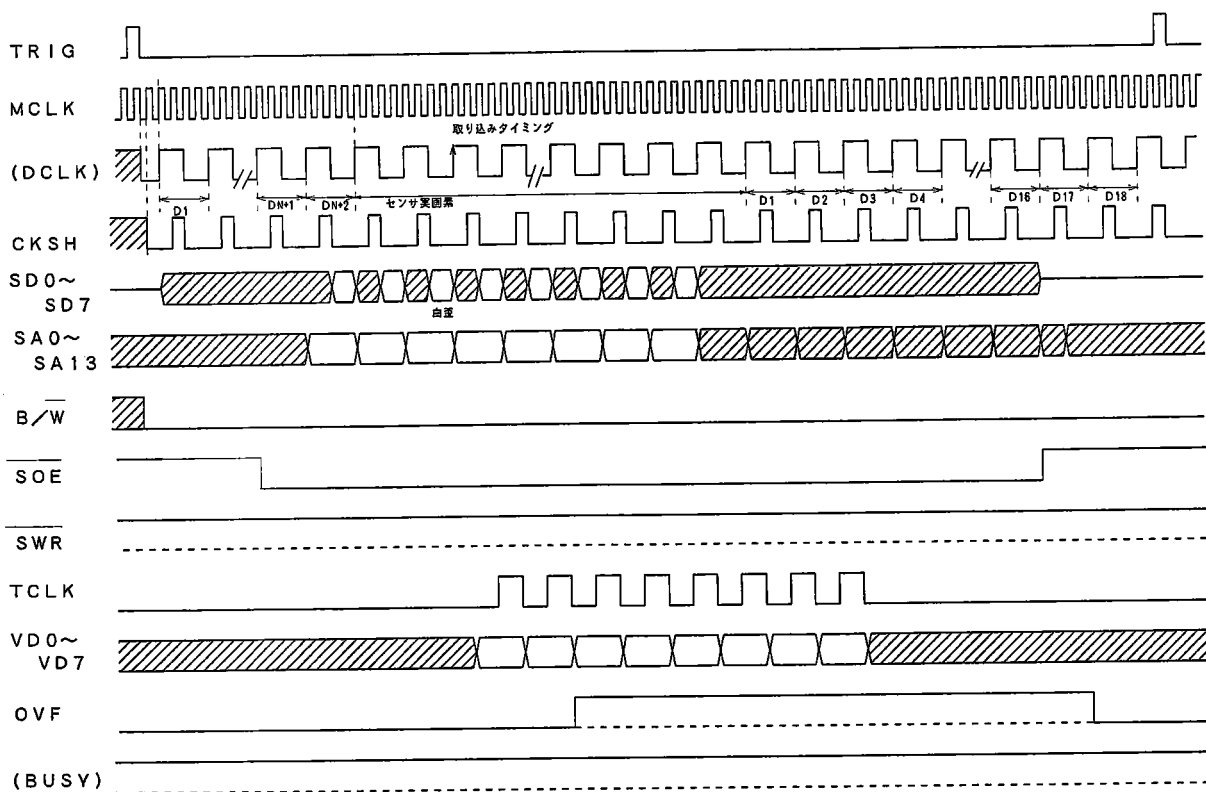


図8 読みとりモード（偶奇バランス補正時）

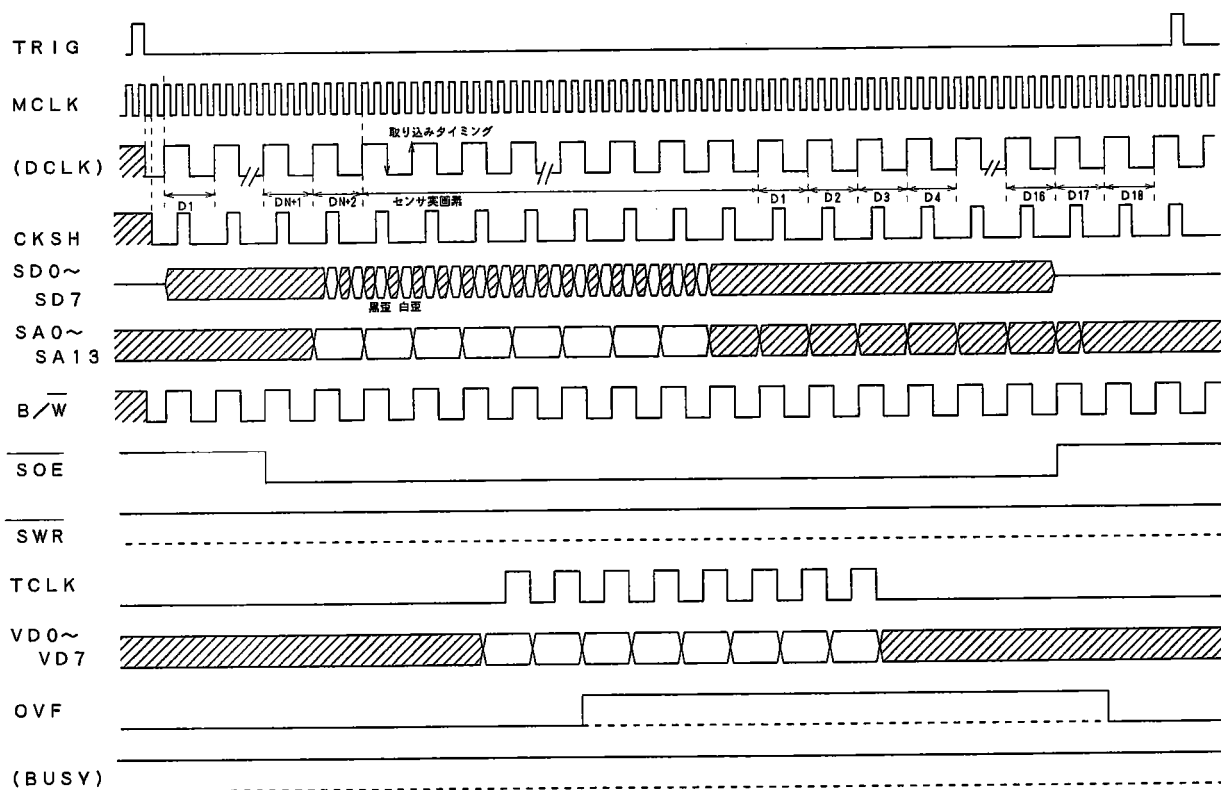


図9 読みとりモード（全画素ばらつき補正時）

絶 対 最 大 定 格

項 目	記号	min.	max.	単位	備 考
電源電圧					
デジタル電源	VD	-0.3	6.7	V	VA $\geq$ VD, VAが VDより先に立 ちあがる事
アナログ電源	VA	-0.3	6.7	V	
デジタル端子印加電圧	V _{TD}	-0.3	VD+0.3	V	
アナログ端子印加電圧	V _{TA}	-0.3	VA+0.3	V	
動作周囲温度	T _a	0	70	℃	
保存温度	T _{stg}	-55	125	℃	
半田付け温度：時間	T _{sol}	260℃, 10秒		—	

電圧はすべて接地端子基準：AVSS、DVSS=0V

推 奨 動 作 条 件

項 目	記号	min.	typ.	max.	単位	備 考
電源電圧						
デジタル電源	VD	4.75	5.0	5.25	V	
アナログ電源	VA	4.75	5.0	5.25	V	
動作温度範囲	T _a	0		70	℃	

電圧はすべて接地端子基準：AVSS、DVSS=0V

電 氣 的 特 性

■ DC特性

(特記なき場合、VD、VA=5V±5%、Ta=0~70℃)

項 目	記号	適用端子	min.	typ.	max.	単位	条 件
消費電流 デジタル電源 アナログ電源	ID IA				5 80	mA mA	MCLK=20MHz 無負荷時
高レベル入力電圧	V _{IH}	D0~D7, $\overline{CS}$ $\overline{WR}$, $\overline{RD}$, TRIG RA0~RA3 SD0~SD7 MCLK, $\overline{TEST}$ $\overline{RESET}$	2.4	—	—	V	
低レベル入力電圧	V _{IL}	同上	—	—	0.8	V	
高レベル出力電圧	V _{OH}	D0~D7 SA0~SA12 SD0~SD7 $\overline{SOE}$, $\overline{SWR}$ B/ $\overline{W}$, OVf VD0~VD7 TCLK	3.0			V	I _{OH} =-400 μ A
低レベル出力電圧	V _{OL}	同上			0.4	V	I _{OL} =1.6mA
入力端子リーク電流	I _{LI}	$\overline{CS}$, $\overline{RD}$, $\overline{WR}$ RA0~RA3 $\overline{RESET}$, TRIG MCLK	-10		10	μ A	V _I =DVDD V _I =DVSS
	I _{LIO}	D0~D7 SD0~SD7	-10		10	μ A	V _I =DVDD V _I =DVSS
	I _{LPU}	$\overline{TEST}$	-10		10	μ A	

■ アナログ特性

(特記なき場合、 $V_D, V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$)

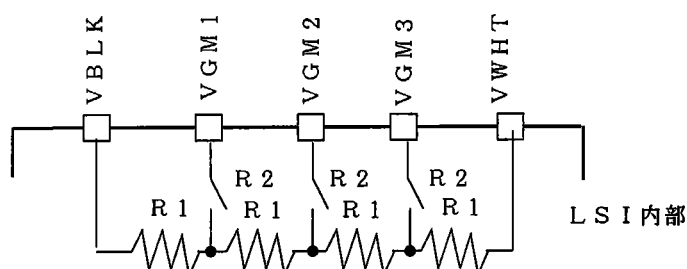
項 目	min.	typ.	max.	単 位	備 考
アナログ入力					
入力可能最大電圧	1.15	1.25	1.35	V_{D-P}	AIN端子
サンプリングレート			5	$M_{DIX/s}$	AIN端子
入力容量		20		pF	AIN端子
入力抵抗		10		$M\Omega$	AIN端子
黒歪検出／補正回路					
検出／補正可能電圧			200	mV	
検出／補正分解能		± 1		mV	
基準電圧					
VCLK電圧		2.75		V	VRO端子 $I_{OUT} = \pm 100 \mu A$ AVDD=5V
VBREF電圧		2.45		V	VBREF端子 $I_{OUT} = \pm 100 \mu A$ AVDD=5V
ピーク検出／ピークホールド回路					
検出可能最大電圧	1.15	1.25	1.35	V	
分解能		± 3		mV	
8ビットADC（フラッシュ）基準電圧生成DAC					
分解能		4		BIT	
セトリング時間			400	μS	CL=3.3 μF , 0.1%
クランプ回路					
スイッチON抵抗			150	Ω	

■ アナログ特性 (続き)

(特記なき場合、VD, VA=5V±5%, Ta=0~70°C)

項 目 記 号	min.	typ.	max.	単 位	備 考
サンプルホールド回路					
セトリング時間			50	nS	0.1%
ラインクランプ時 A I Nリーク電荷量		$3.0 \times V_{in}$ ×画素数	$5.0 \times V_{in}$ ×画素数	pC	A I N端子
白歪検出／補正回路					
分解能		8		bit	Vpk-0.5Vpk間
補正可能レンジ			50	%V p k	
補正精度		± 1/2		LSB	
フラッシュA D C					
分解能		8		bit	
最大レファレンス電圧	1.15		1.35	V	VBLK-VWHT
最小レファレンス電圧	0			V	VBLK-VWHT
積分非直線性誤差		± 1.5		LSB	VBLK-VWHT ≥ 0.250V γ補正無し
微分非直線性誤差		± 1.5		LSB	VBLK-VWHT ≥ 0.250V γ補正無し
γ補正用基準電圧端子抵抗 (R1)	300	400	500	Ω	注 1
γ補正用基準電圧端子 アナログスイッチON抵抗 (R2)	60	90	140	Ω	注 1

(注 1)



■ A C 特性

特記なき場合、 $V_{DD} = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ C$

NO	項 目	適用端子	min.	typ.	max.	単位	条件
1	MCLKサイクル時間 (T)	MCLK	50			nS	
2	MCLK高レベル幅	MCLK	40%		60%	T	
3	MCLK低レベル幅	MCLK	40%		60%	T	
4	TRIGセットアップ時間 (対 MCLK↑)	TRIG	20			nS	
5	TRIGホールド時間 (対 MCLK↑)	TRIG	20			nS	
6	CKSH遅延時間 (対 MCLK↑)	CKSH			25	nS	$C_L = 20pF$
7	CKSHサイクル時間	CKSH		4		T	
8	CKSH高レベル幅	CKSH		1		T	
9	CKSH低レベル幅	CKSH		3		T	
10	CKCL (A) 遅延時間 (対 CKSH↓)	CKCL	T-15	T	T+15	nS	$C_L = 20pF$
11	CKCL (A) サイクル時間	CKCL		4		T	
12	CKCL (A) 高レベル幅	CKCL		1		T	
13	CKCL (A) 低レベル幅	CKCL		3		T	
14	CKCL (B) 遅延時間 (対 MCLK↑)	CKCL			25	nS	$C_L = 20pF$
15	CKCL (B) 高レベル幅	CKCL		1		T	
16	CKCL (B) 低レベル幅	CKCL		3		T	
17	CKCL (C) 遅延時間 (対 CKSH↓)	CKCL	1.5T-15	1.5T	1.5T+15	nS	$C_L = 20pF$
18	CKCL (C) 高レベル幅	CKCL		0.5		T	
19	CKCL (C) 低レベル幅	CKCL		3.5		T	
20	CKSH, CKCLリセット遅延時間 (対 MCLK↑)	CKSH CKCL			25	nS	$C_L = 20pF$
21	SA0~12, B/ $\bar{W}$ セットアップ 時間 (対 $\overline{SWR}$ ↓)	SA0~12 B/ $\bar{W}$		2		nS	$C_L = 20pF$
22	SA0~12, B/ $\bar{W}$ ホールド時間 (対 $\overline{SWR}$ ↓)	SA0~12 B/ $\bar{W}$		2		nS	$C_L = 20pF$
23	$\overline{SWR}$ パルス幅	$\overline{SWR}$	2			T	
24	SD0~7セットアップ時間 (対 $\overline{SWR}$ ↑)	SD0~7			2T-30	nS	$C_L = 20pF$
25	SD0~7ホールド時間 (対 $\overline{SWR}$ ↑)	SD0~7	0			nS	$C_L = 20pF$
26	SD0~7許容遅延時間 (対 SA0~12, B/ $\bar{W}$)	SD0~7			2T-45	nS	$C_L = 20pF$
27	SA0~12, B/ $\bar{W}$ ホールド時間 (対 MCLK↑)	SA0~12 B/ $\bar{W}$			70	nS	$C_L = 20pF$

特記なき場合、 $V_{DD} = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ C$

NO	項 目	適用端子	min.	typ.	max.	単位	条件
28	SD0～7ホールド時間 (対 MCLK↑)	SD0～7	20			nS	$C_L = 20pF$
29	SD0～7許容遅延時間 (対 $\overline{SOE}$ ↓)	SD0～7			2T-40	nS	$C_L = 20pF$
30	SA0～12ホールド時間 (対 $\overline{SOE}$ ↑)	SA0～12	0			nS	$C_L = 20pF$
31	SD0～7ホールド時間 (対 $\overline{SOE}$ ↑)	SD0～7	0			nS	$C_L = 20pF$
32	SD0～7許容遅延時間 (対 SA0～12, B/ $\overline{W}$)	SD0～7			4T-50	nS	$C_L = 20pF$
33	$\overline{RD}$ パルス幅	$\overline{RD}$	100			nS	
34	$\overline{SOE}$ 遅延時間 (対 $\overline{RD}$)	$\overline{SOE}$			35	nS	$C_L = 20pF$
35	D0～7フローティング遅延 時間 (対 $\overline{RD}$ ↑)	D0～7	0			nS	$C_L = 20pF$
36	D0～7遅延時間 (対 SD0～7)	D0～7			35	nS	$C_L = 20pF$
37	$\overline{WR}$ パルス幅	$\overline{WR}$	100			nS	
38	$\overline{SWR}$ 遅延時間 (対 $\overline{WR}$)	$\overline{SWR}$			50	nS	$C_L = 50pF$
39	SA0～12遅延時間 (対 $\overline{RD}$ ↑, $\overline{WR}$ ↑)	SA0～12			85	nS	$C_L = 50pF$
40	SD0～7遅延時間 (対 $\overline{SWR}$ ↓)	SD0～7			30	nS	$C_L = 50pF$
41	SD0～7フローティング遅延 時間 (対 $\overline{SWR}$ ↑)	SD0～7	0			nS	$C_L = 50pF$
42	D0～7遅延時間 (対 SD0～7)	D0～7			40	nS	$C_L = 50pF$
43	SA0～12初期化遅延時間 (対 MCLK↑)	SA0～12			85	nS	$C_L = 50pF$
44	VD0～7遅延時間 (対 MCLK↑)	VD0～7			65	nS	$C_L = 50pF$
45	TCLK遅延時間 (対 MCLK↑)	TCLK			45	nS	$C_L = 50pF$
46	TCLK高レベル幅	TCLK		2T		nS	
47	TCLK低レベル幅	TCLK		2T		nS	
48	OVF遅延時間 (対 MCLK↑)	OVF			45	nS	$C_L = 50pF$
49	RA0～3セットアップ時間 (対 $\overline{RD}$ ↓, $\overline{WR}$ ↓)	RA0～3	20			nS	
50	RA0～3セットアップ時間 (対 $\overline{RD}$ ↑, $\overline{WR}$ ↑)	RA0～3	0			nS	
51	$\overline{CS}$ セットアップ時間 (対 $\overline{RD}$ ↓, $\overline{WR}$ ↓)	$\overline{CS}$	20			nS	
52	$\overline{CS}$ ホールド時間 (対 $\overline{RD}$ ↑)	$\overline{CS}$	0			nS	
53	D0～7遅延時間 (対 $\overline{RD}$ ↓)	D0～7			55	nS	$C_L = 50pF$
54	D0～7フローティング遅延 時間 (対 $\overline{RD}$ ↑)	D0～7	0			nS	$C_L = 50pF$

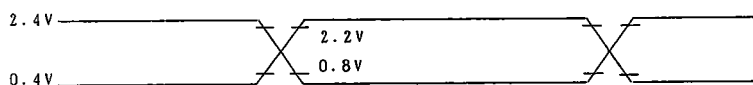
特記なき場合、 $V_{DD} = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$

NO	項 目	適用端子	min.	typ.	max.	単位	条件
55	D0～7セットアップ時間 (対 $\overline{WR} \uparrow$)	D0～7	20			nS	
56	D0～7ホールド時間 (対 $\overline{WR} \uparrow$)	D0～7	0			nS	
57	$\overline{RESET}$ パルス幅	$\overline{RESET}$	20			nS	
58	AINバリッドセットアップ 時間 (対 CKSH $\uparrow$)	AIN	0			nS	
59	AINバリッドホールド時間 (対 CKSH $\downarrow$)	AIN	0			nS	
60	SD0～7セットアップ時間 (対 CKSH $\downarrow$)	SD0～7	20				$C_L = 20\text{pF}$

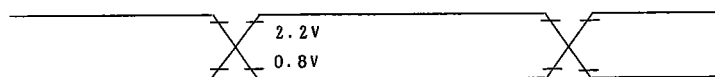
(注) 黒歪検出／補正を偶奇バランスで行うか、全画素モードで行うかで、要求されるメモリのアクセスタイムが異なるので注意してください。(No26、No32 のスペック)

■ 測定条件

ACテスト入力波形

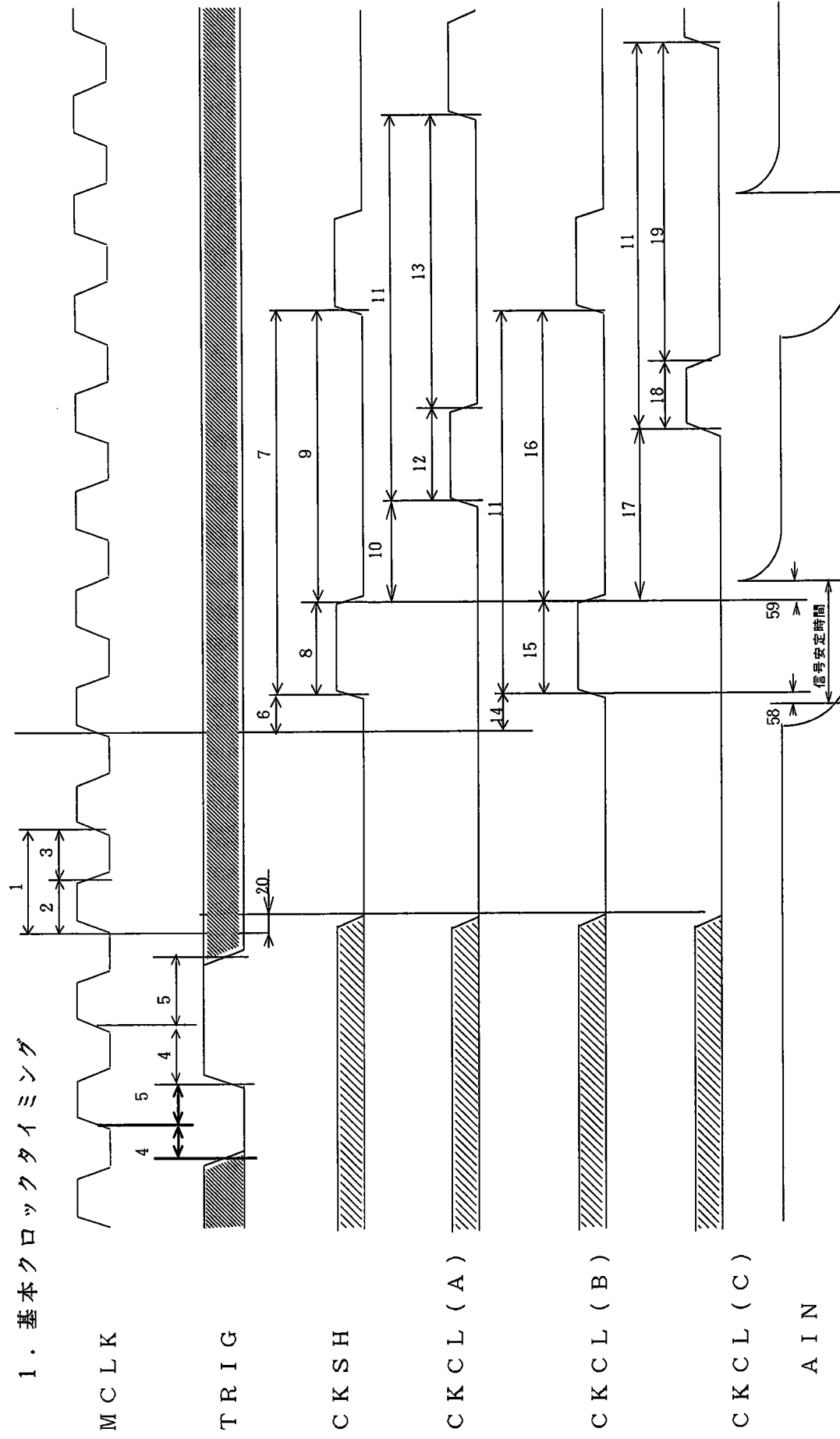


ACテスト出力波形



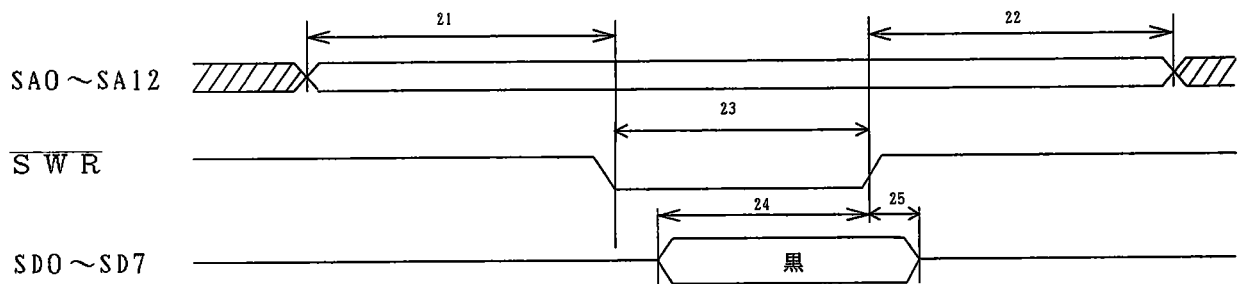
■ タイミング規定

1. 基本クロックタイミング



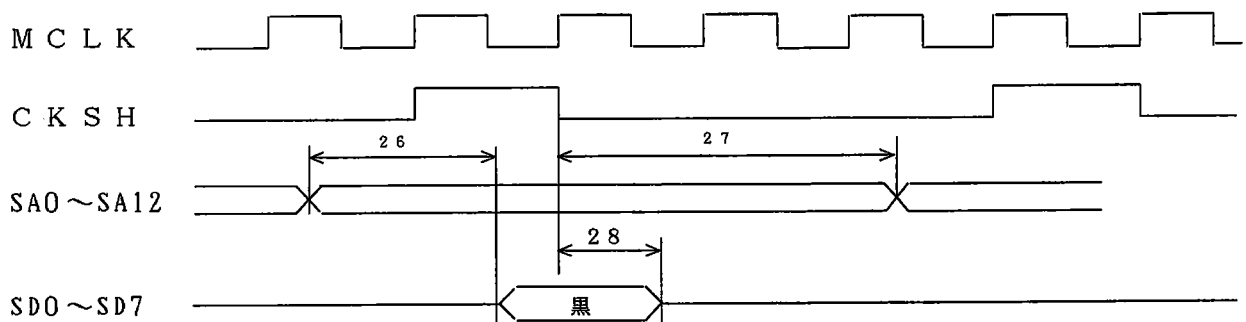
2. モード別メモリアクセスタイミング

2-1. 黒歪検出 (全画素補正モード)



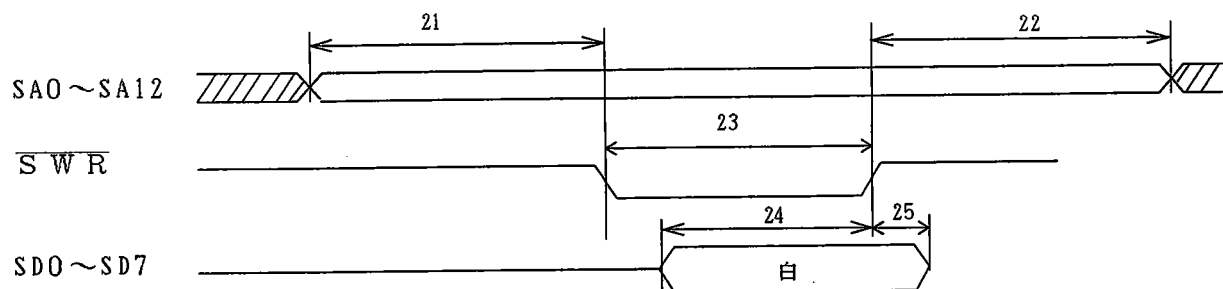
(注) $\overline{B/W}$, $\overline{SOE}$ は H 固定

2-2. ピーク検出 (全画素補正モード)



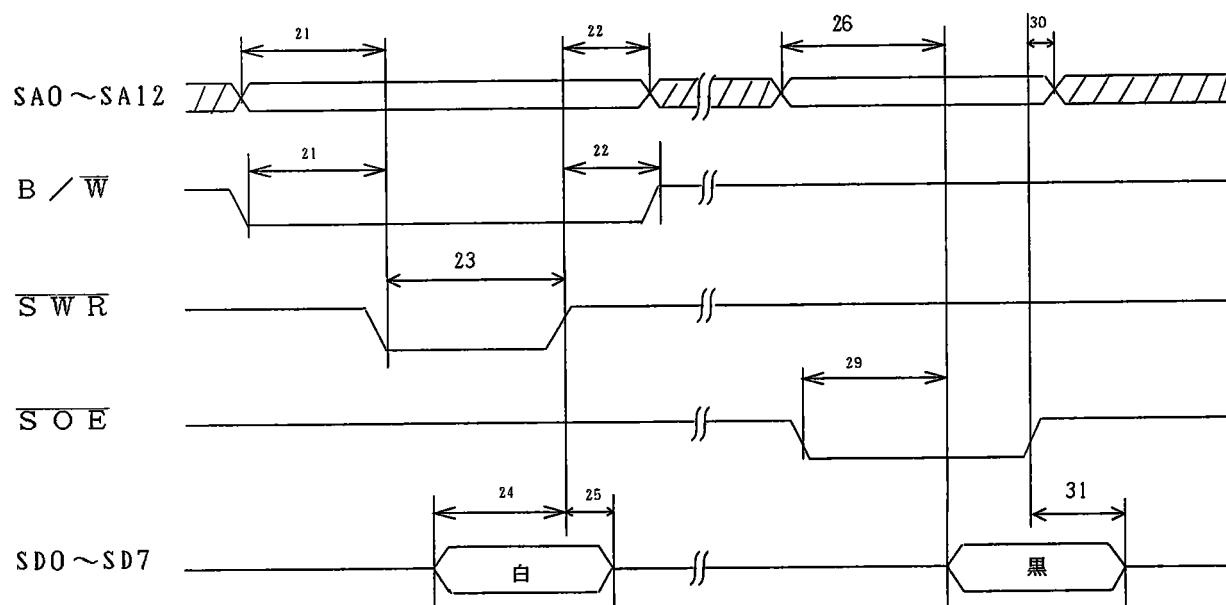
(注) $\overline{B/W}$, SWR は 'H', $\overline{SOE}$ は 'L' 固定

2-3. 白歪検出 (偶奇バランス補正)

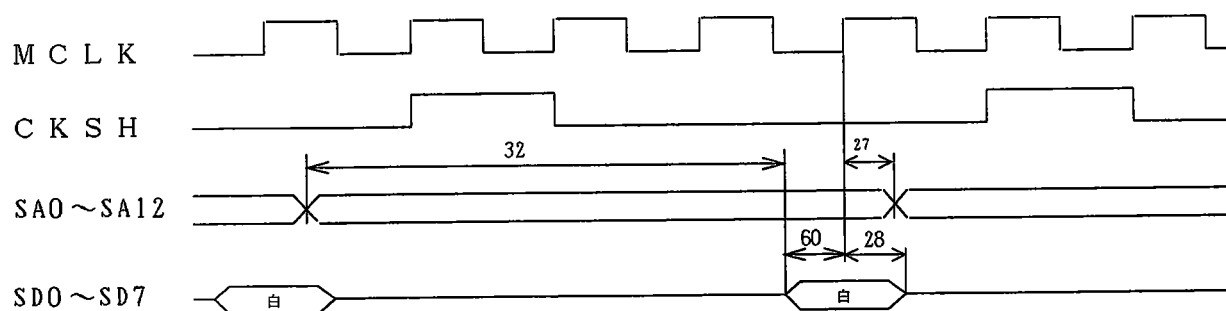


(注) B/Wは'L'、SOEは'H'固定

2-4. 白歪検出 (全画素補正)

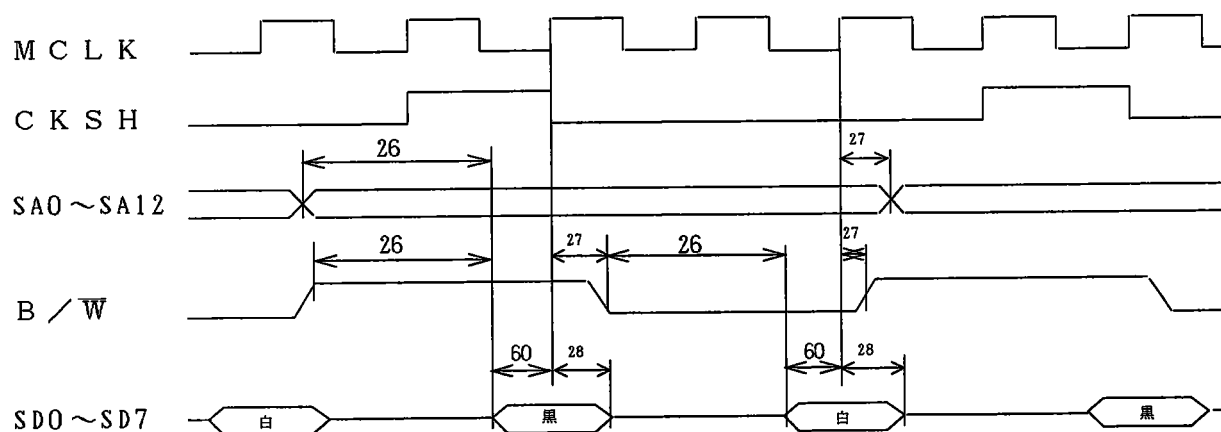


2-5. 読みとり（偶奇バランス補正モード）



（注） $\overline{B/W}$, $\overline{SOE}$ は'L', $\overline{SWR}$ は'H'固定

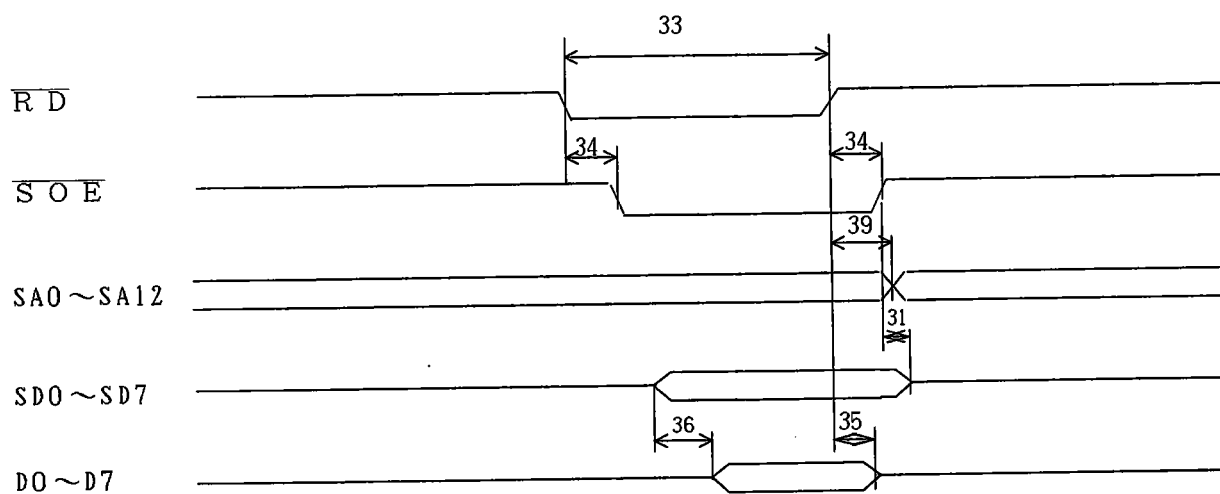
2-6. 読みとり（全画素補正モード）



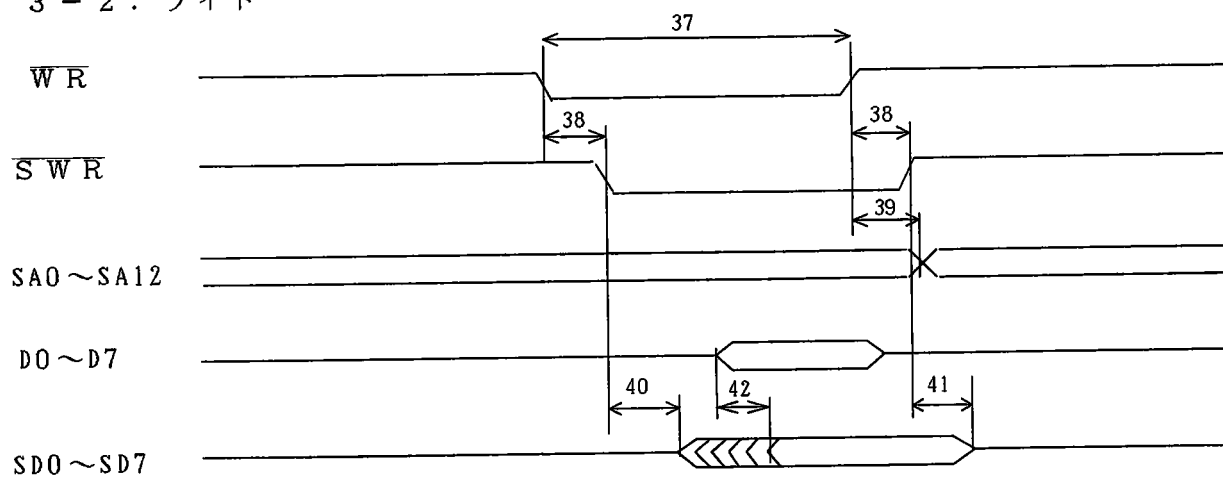
（注） $\overline{SOE}$ は'L', $\overline{SWR}$ は'H'固定

3. シェーディングメモリアクセスモードタイミング

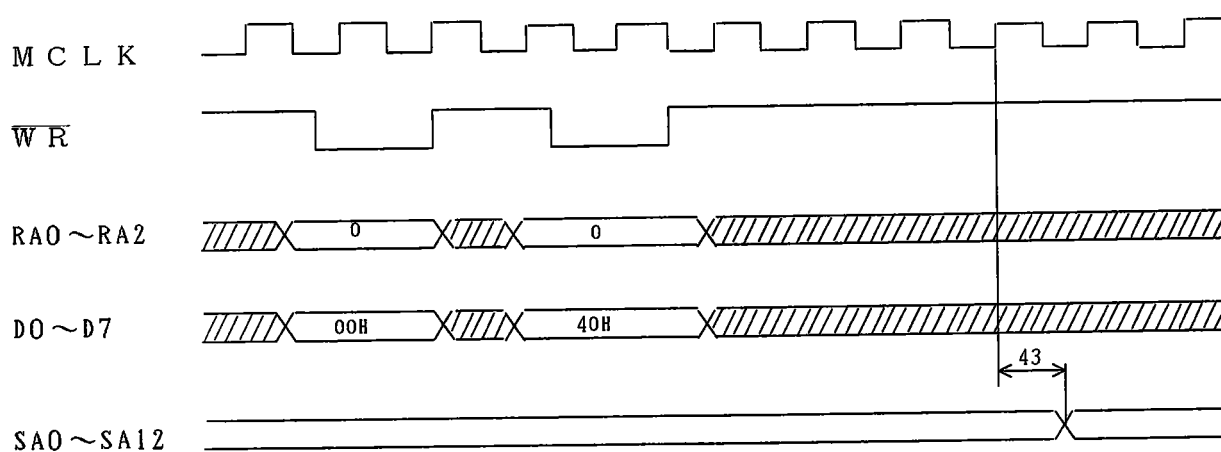
3-1. リード



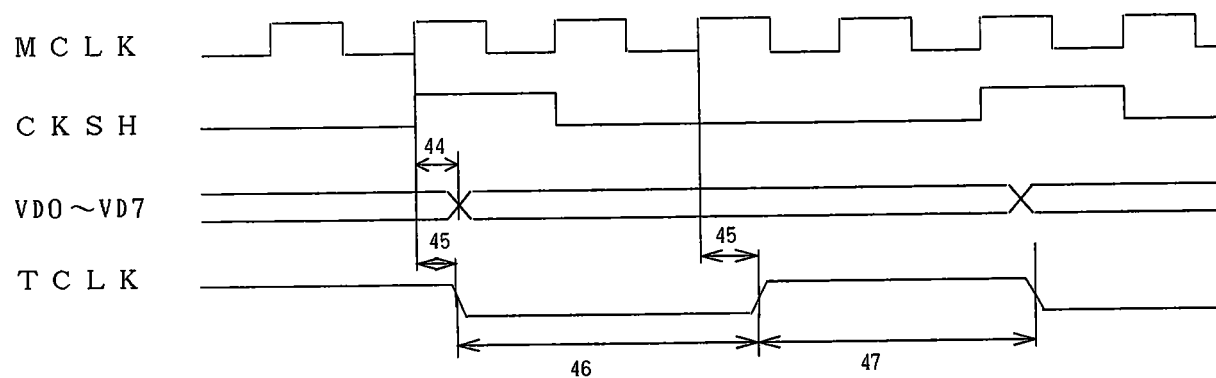
3-2. ライト



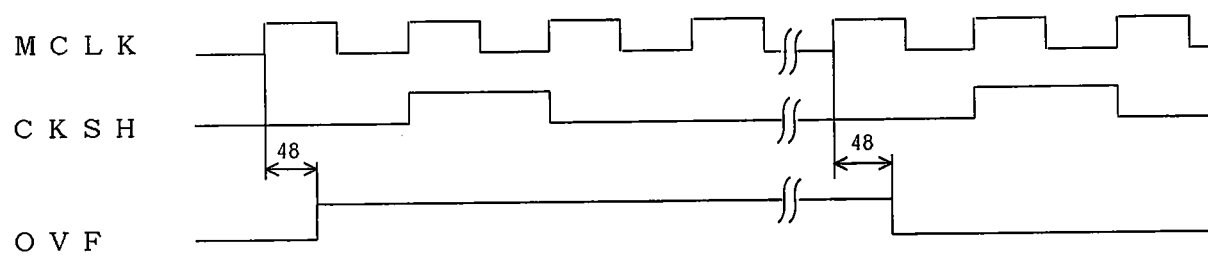
3-3. アドレス初期化



4. ビデオデータ出力タイミング

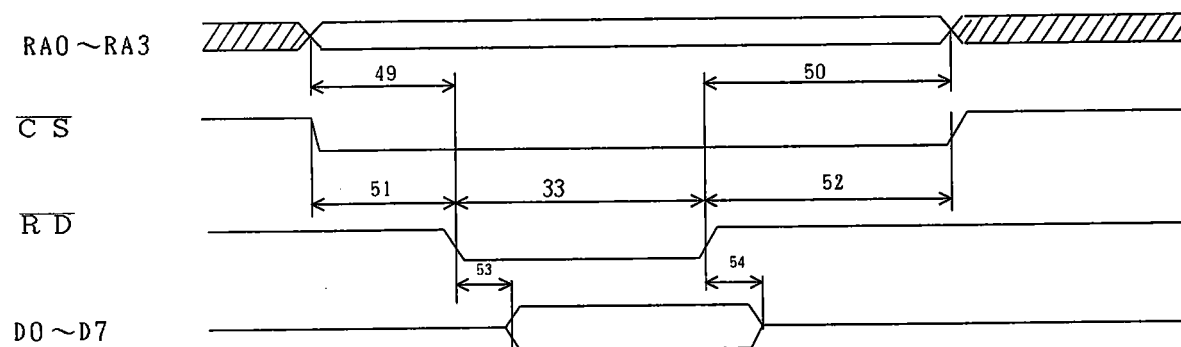


5. OV F出力タイミング

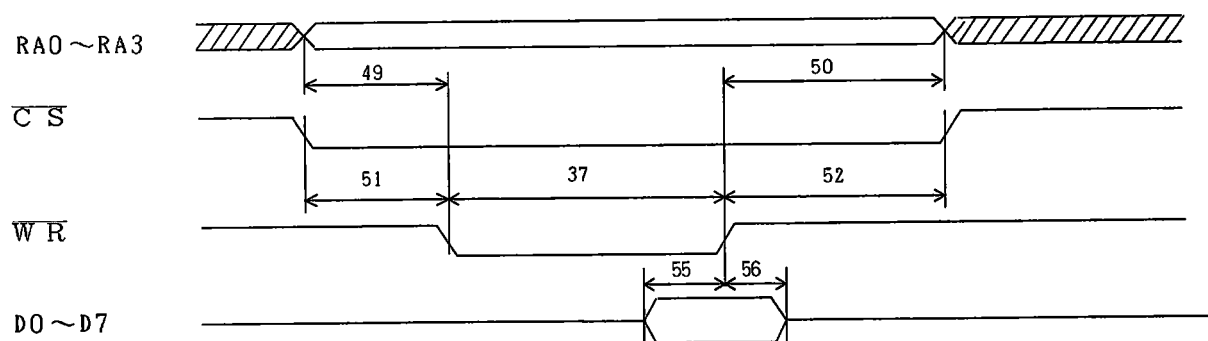


6. マイコンコンピュータ インターフェース

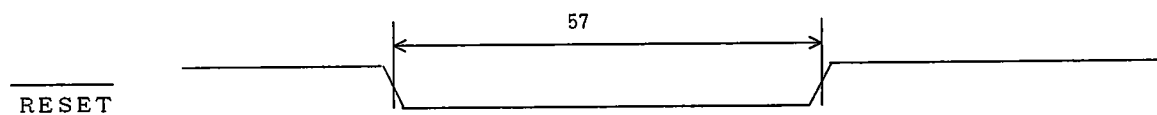
6-1. リード



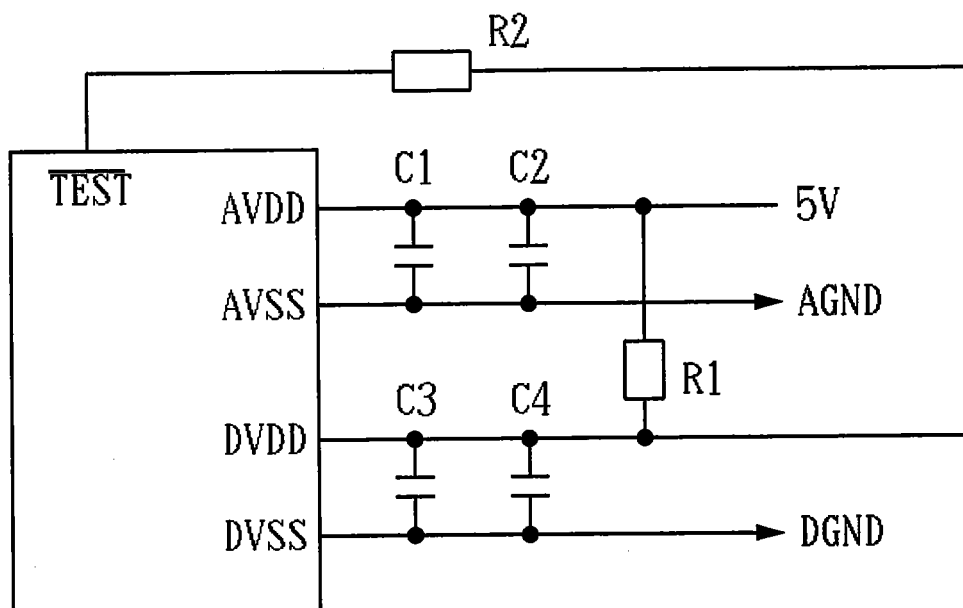
6-2. ライト



6-3. リセット



外部推奨回路



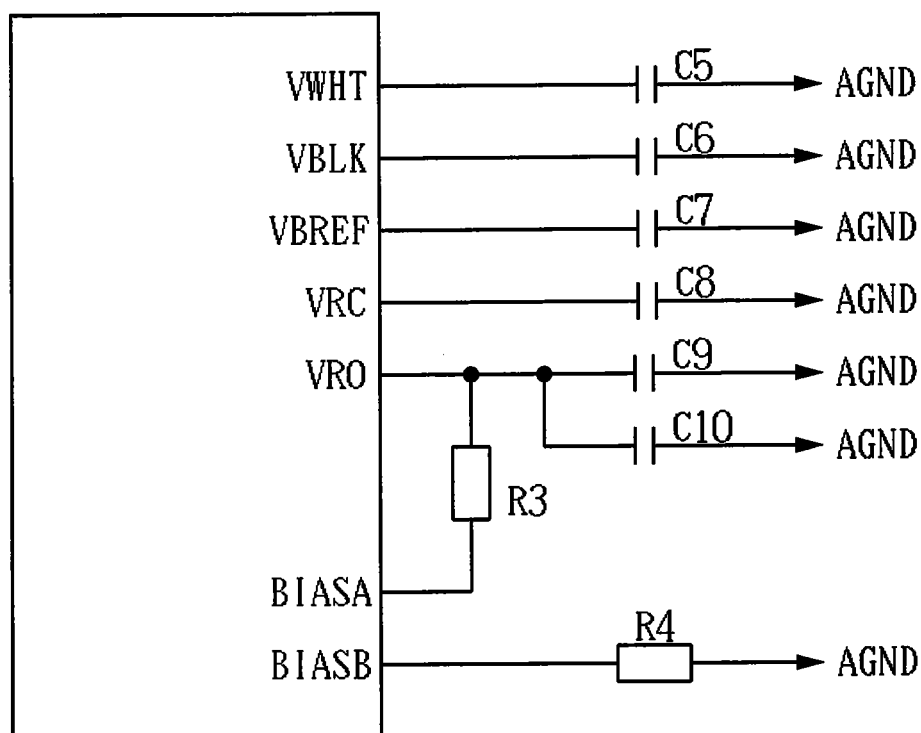
C1, C3 : 22 μ F (tantalium)

C2, C4 : 0.1 μ F (ceramic)

R1 : 2 Ω (1/4W)

R2 : 10K Ω

AGND and DGND are connected one point.



C5, C6 : 3.3 μ F (tantalium)

C7, C8 : 1 μ F (tantalium)

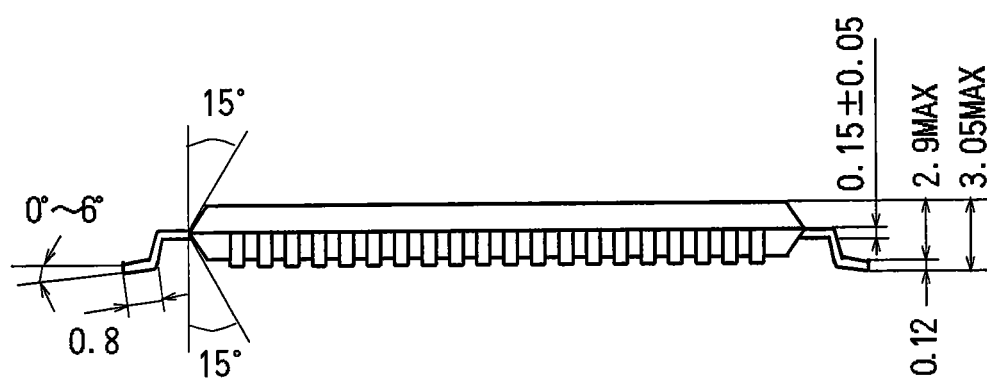
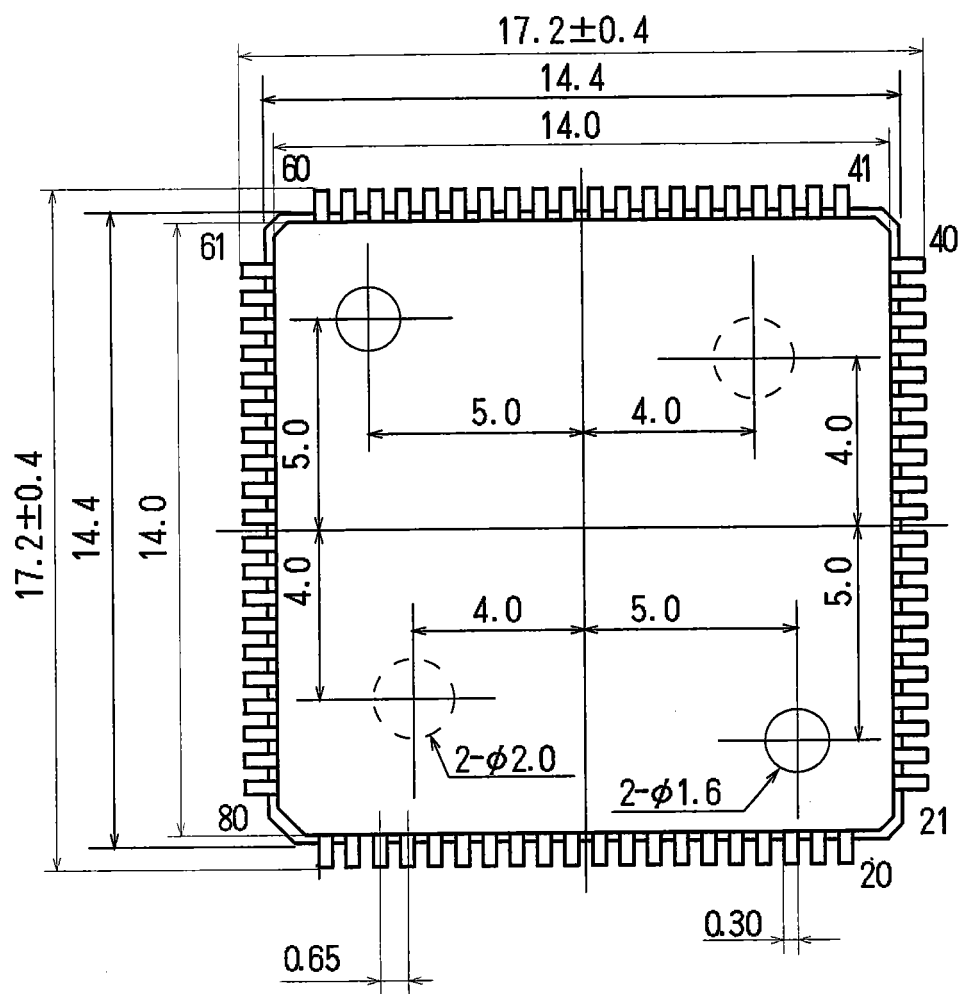
C9 : 22 μ F (tantalium)

C10 : 0.1 μ F (ceramic)

R3 : 10K Ω

R4 : 1K Ω

パッケージ外形寸法図



重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害が生じた場合はすべてお客様にてご負担または補償して頂きますのでご了承下さい。