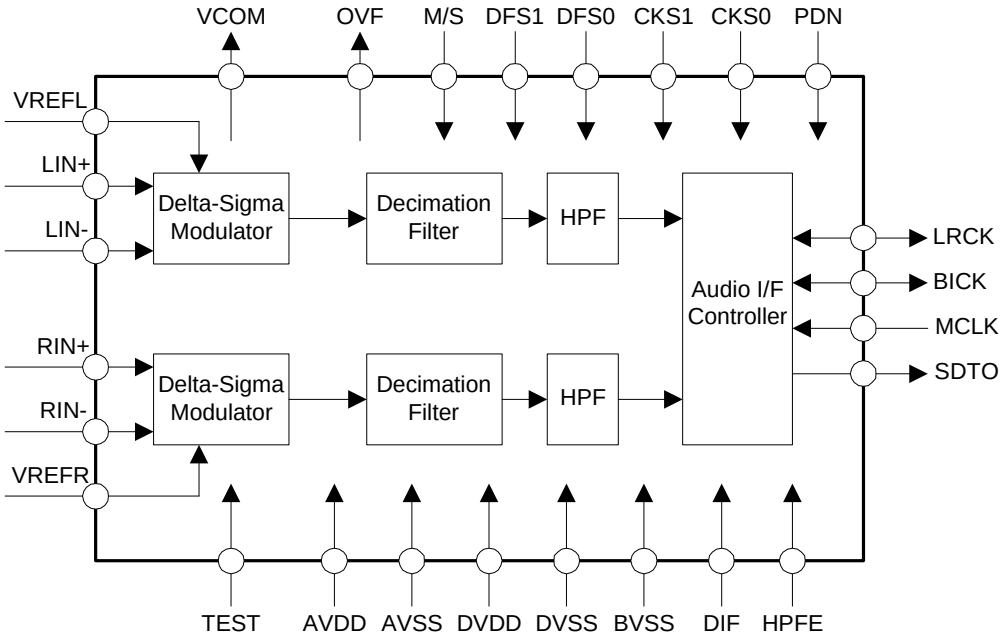
AK5385A
24Bit 192kHz ΔΣ ADC

概　要

AK5385Aはハイエンドオーディオシステムに最適な8kHz ~ 216kHzサンプリング周波数対応のステレオA/Dコンバータです。AK5385Aはエンハンスト・デュアルビットΔΣ技術を用いており、高精度かつ低コストを実現しています。また、アナログ入力は完全差動形式になっており、ハイエンドのAVアンプ、AVレコーダや電子楽器用途に最適です。AK5385Aは28pin VSOPまたは28pin SOPパッケージにて実装され、基板スペースを削減します。

特　長

- □ サンプリングレート: 8kHz ~ 216kHz
- □ 完全差動入力
- □ S/(N+D): 103dB
- □ DR: 114dB
- □ S/N: 114dB
- □ 高性能直線位相ディジタルフィルタ内蔵
  - 通過域: 0～21.768kHz (@fs=48kHz)
  - 通過域リップル: 0.005dB
  - 阻止域減衰量: 100dB
- □ HPF内蔵
- □ 電源電圧: 5V ± 5%(アナログ), 3.0 ~ 5.25V(ディジタル)
- □ 消費電力: 183mW (@fs=48kHz)
- □ パッケージ: 28ピンSOP, 28ピンVSOP
- □ AK5383/AK5393/AK5394A準ピン互換

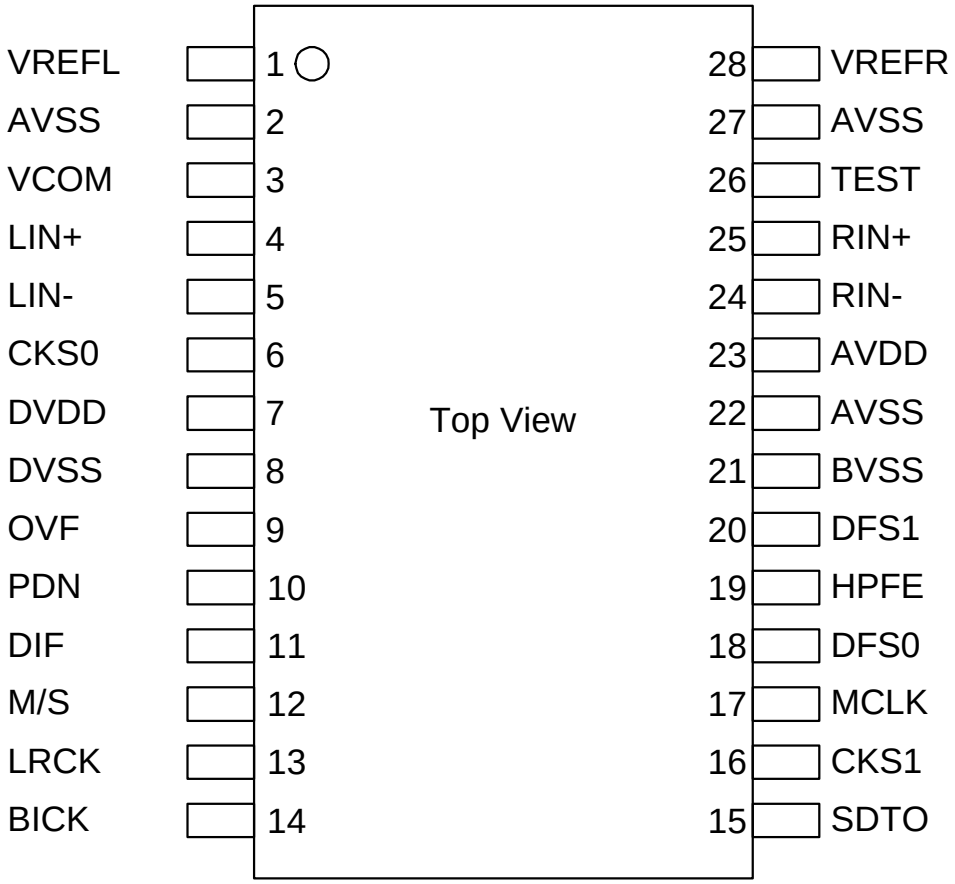


Block diagram

■ オーダリングガイド

AK5385AVS	–10 ~ +70°C	28pin SOP (1.27mm pitch)
AK5385AVF	–40 ~ +85°C	28pin VSOP (0.65mm pitch)
AKD5385A	AK5385A評価用ボード	

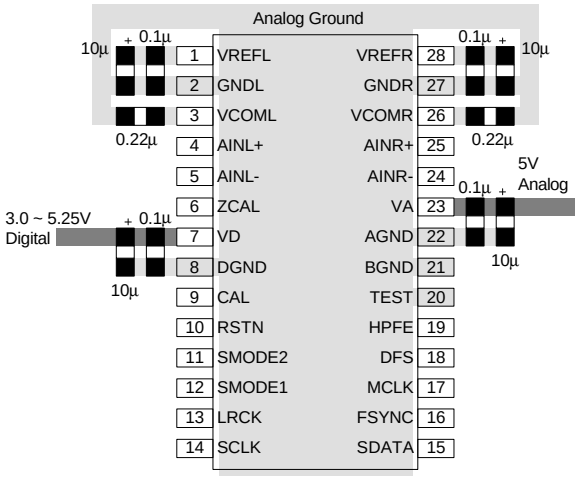
■ ピン配置



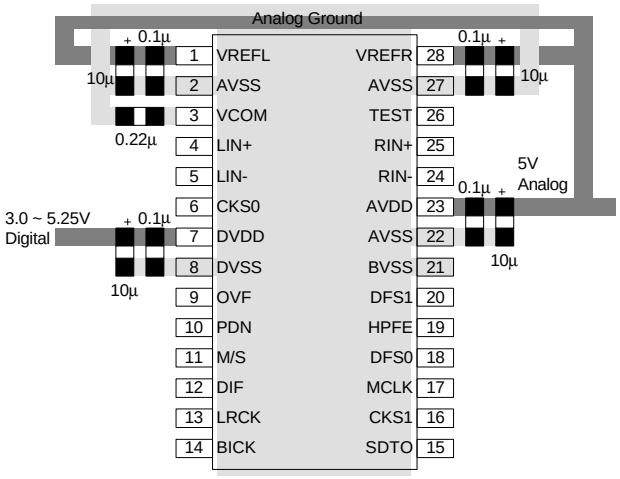
■ AK5383/AK5394Aとの互換性

	AK5385A	AK5383	AK5394A
Pin 1	VREFL	VREFL	VREFL+
Pin 2	AVSS	GNDL	VREFL−
Pin 3	VCOM	VCOML	VCOML
Pin 6	CKS0	ZCAL	ZCAL
Pin 9	OVF	CAL	CAL
Pin 11	DIF	SMODE2	SMODE2
Pin 12	M/S	SMODE1	SMODE1
Pin 16	CKS1	FSYNC	FSYNC
Pin 18	DFS0	DFS	DFS0
Pin 20	DFS1	TEST	DFS1
Pin 26	TEST	VCOMR	VCOMR
Pin 27	AVSS	GNDR	VREFR−
Pin 28	VREFR	VREFR	VREFR+
fs	8kHz ~ 216kHz	1kHz ~ 108kHz	1kHz ~ 216kHz
MCLK at 48kHz	256/384/512fs	256fs	256fs
MCLK at 96kHz	256fs	128fs	128fs
MCLK at 192kHz	128fs	Not Available	64fs
DR, S/N	114dB	110dB	123dB
Input Voltage	±2.9Vpp	±2.45Vpp	±2.4Vpp
Offset Calibration	Not Available	Available	Available

■ AK5383とのレイアウト比較



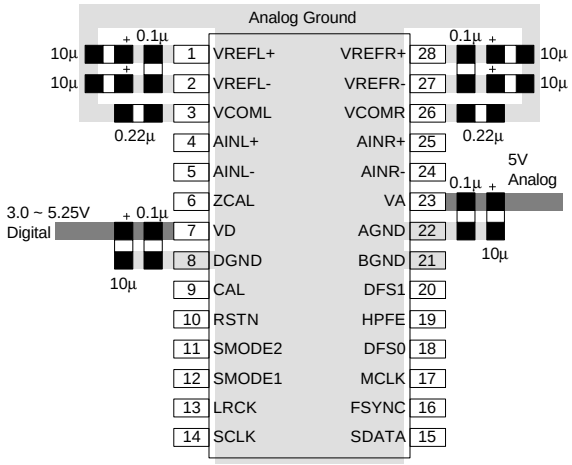
AK5383



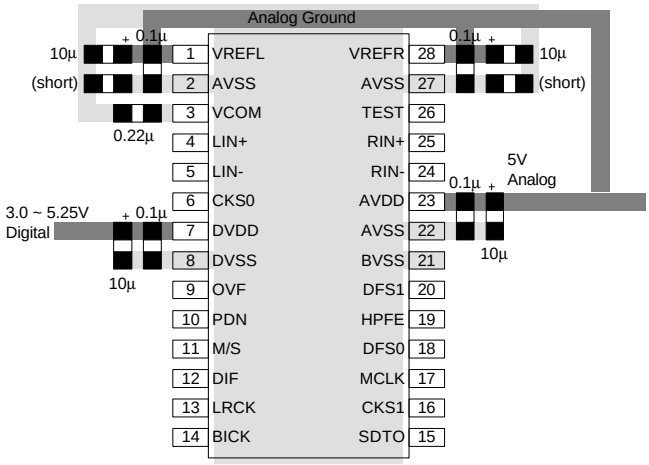
AK5385A

Pin #	AK5383	AK5385A
1	VREFL	VREFL
	Lch Voltage Reference **Output** Pin, 3.75V Normally, connected to GNDL with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.	Lch Voltage Reference **Input** Pin, AVDD Normally, connected to AVSS with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.
6	ZCAL	CKS0
	Zero Calibration Control Pin This pin controls the calibration reference signal.	Master Clock Select 0 Pin (Internal Pull-down Pin, typ. 100kΩ)
9	CAL	OVF
	Calibration Active Signal Pin	Analog Input Overflow Detect Pin
11	SMODE2	DIF
	Serial Interface Mode Select Pin	Audio Interface Format Pin
12	SMODE1	M/S
	Serial Interface Mode Select Pin	Master / Slave Mode Pin
16	FSYNC	CKS1
	Frame Synchronization Signal Pin	Master Clock Select 1 Pin (Internal Pull-down Pin, typ.100kΩ)
18	DFS	DFS0
	Double Speed Sampling Mode Pin	Sampling Speed Select 0 Pin
20	TEST	DFS1
	Test Pin (Internal Pull-down Pin)	Sampling Speed Select 1 Pin
26	VCOMR	TEST
	Rch Common Voltage Pin, 2.75V	Test Pin (Internal Pull-down Pin, typ. 100kΩ)
28	VREFR	VREFR
	Rch Voltage Reference **Output** Pin, 3.75V Normally, connected to GNDL with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.	Rch Voltage Reference **Input** Pin, AVDD Normally, connected to AVSS with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.

■ AK5394Aとのレイアウト比較



AK5394A



AK5385A

Pin #	AK5394A	AK5385A
1	VREFL+	VREFL
	Lch Positive Voltage Reference **Output** Pin, 3.75V Normally connected to AGND with a large electrolytic capacitor and connected to VREFL– with a 0.22µF ceramic capacitor.	Lch Voltage Reference **Input** Pin, AVDD Normally, connected to AVSS with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.
2	VREFL–	AVSS
	Lch Negative Voltage Reference **Output** Pin, 1.25V Normally connected to AGND with a large electrolytic capacitor and connected to VREFL+ with a 0.22µF ceramic capacitor.	Analog Ground Pin
6	ZCAL	CKS0
	Zero Calibration Control Pin This pin controls the calibration reference signal.	Master Clock Select 0 Pin (Internal Pull-down Pin, typ. 100kΩ)
9	CAL	OVF
	Calibration Active Signal Pin	Analog Input Overflow Detect Pin
11	SMODE2	DIF
	Serial Interface Mode Select Pin	Audio Interface Format Pin
12	SMODE1	M/S
	Serial Interface Mode Select Pin	Master / Slave Mode Pin
16	FSYNC	CKS1
	Frame Synchronization Signal Pin	Master Clock Select 1 Pin (Internal Pull-down Pin, typ. 100kΩ)
27	VREFR–	AVSS
	Rch Negative Voltage Reference **Output** Pin, 1.25V Normally connected to AGND with a large electrolytic capacitor and connected to VREFR+ with a 0.22µF ceramic capacitor.	Analog Ground Pin
26	VCOMR	TEST
	Rch Common Voltage Pin, 2.75V	Test Pin (Internal Pull-down Pin, typ. 100kΩ)
28	VREFR+	VREFR
	Rch Positive Reference **Output** Voltage, 3.75V Normally connected to AGND with a large electrolytic capacitor and connected to VREFR– with a 0.22µF ceramic capacitor.	Rch Voltage Reference **Input** Pin, AVDD Normally, connected to AVSS with a 10µF electrolytic capacitor and a 0.1µF ceramic capacitor.

ピン／機能

No.	Pin Name	I/O	Function
1	VREFL	I	Lch Voltage Reference Input Pin, AVDD Normally, connected to AVSS with a 10μF electrolytic capacitor and a 0.1μF ceramic capacitor.
2	AVSS	-	Analog Ground Pin
3	VCOM	O	Common Voltage Output Pin, AVDD/2
4	LIN+	I	Lch Analog Positive Input Pin
5	LIN–	I	Lch Analog Negative Input Pin
6	CKS0	I	Master Clock Select 0 Pin (Internal Pull-down Pin, typ. 100kΩ)
7	DVDD	-	Digital Power Supply Pin, 3.0 ~ 5.25V
8	DVSS	-	Digital Ground Pin
9	OVF	O	Analog Input Overflow Detect Pin This pin goes to “H” if analog input overflows.
10	PDN	I	Power Down Mode Pin “H”: Power up, “L”: Power down
11	DIF	I	Audio Interface Format Pin “H” : 24bit I^2S Compatible, “L” : 24bit MSB justified
12	M/S	I	Master / Slave Mode Pin “H” : Master Mode, “L” : Slave Mode
13	LRCK	I/O	Output Channel Clock Pin “L” Output in Master Mode at Power-down mode.
14	BICK	I/O	Audio Serial Data Clock Pin “L” Output in Master Mode at Power-down mode.
15	SDTO	O	Audio Serial Data Output Pin “L” Output at Power-down mode.
16	CKS1	I	Master Clock Select 1 Pin (Internal Pull-down Pin, typ. 100kΩ)
17	MCLK	I	Master Clock Input Pin
18	DFS0	I	Sampling Speed Select 0 Pin
19	HPFE	I	High Pass Filter Enable Pin “H” : Enable, “L” : Disable
20	DFS1	I	Sampling Speed Select 1 Pin
21	BVSS	-	Substrate Ground Pin
22	AVSS	-	Analog Ground Pin
23	AVDD	-	Analog Power Supply Pin, 4.75 ~ 5.25V
24	RIN–	I	Rch Analog Negative Input Pin
25	RIN+	I	Rch Analog Positive Input Pin
26	TEST	I	Test Pin (Internal Pull-down Pin, typ. 100kΩ)
27	AVSS	-	Analog Ground Pin
28	VREFR	I	Rch Voltage Reference Input Pin, AVDD Normally, connected to AVSS with a 10μF electrolytic capacitor and a 0.1μF ceramic capacitor.

Note: All digital input pins except pull-down pins should not be left floating.

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	LIN+, LIN–	AVSSに接続
	RIN+, RIN–	AVSSに接続
	VREFL, VREFR	AVDDに接続
Digital	OVF	オープン
	TEST	DVSSに接続

絶対最大定格

(AVSS, BVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	–0.3	6.0	V
	Digital	DVDD	–0.3	6.0	V
	|BVSS – DVSS| (Note 2)	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Analog Input Voltage (LIN+/–, RIN+/–, VREFL/R pins)		VINA	–0.3	AVDD+0.3	V
Digital Input Voltage (All digital input pins)		VIND	–0.3	DVDD+0.3	V
Ambient Temperature (Power applied)	28SOP Package	Ta	–10	70	°C
	28VSOP Package	Ta	–40	85	°C
Storage Temperature		Tstg	–65	150	°C

Note 1. 電圧は全てグランドピンに対する値です。
Note 2. AVSS, BVSS, DVSSは同じアナロググランドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また、通常の動作は保証されません。

推奨動作条件

(AVSS, BVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 3)	Analog	AVDD	4.75	5.0	5.25	V
	Digital	DVDD	3.0	3.3	AVDD	V
Voltage Reference (VREFL/R pins)		VREF	3.0	-	AVDD	V

Note 1. 電圧は全てグランドピンに対する値です。
Note 3. AVDDとDVDDの電源立ち上げシーケンスを考慮する必要はありません。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意下さい。

アナログ特性

(Ta=25°C; AVDD=5.0V, DVDD=3.3V; AVSS=BVSS=DVSS=0V; VREFL=VREFR=AVDD; fs=48kHz, 96kHz, 192kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement frequency=20Hz ~ 20kHz at fs=48kHz, 40Hz ~ 40kHz at fs=96kHz, 40Hz ~ 40kHz at fs=192kHz; unless otherwise specified)

Parameter			min	typ	max	Units
Analog Input Characteristics:						
Resolution					24	Bits
Input Voltage		(Note 4)	±2.7	±2.9	±3.1	Vpp
S/(N+D)	fs=48kHz BW=20kHz	–1dBFS (Note 5)	-	103		dB
		–1dBFS	92	100		dB
		–20dBFS	-	91		dB
		–60dBFS	-	51		dB
	fs=96kHz BW=40kHz	–1dBFS	90	98		dB
		–20dBFS	-	86		dB
		–60dBFS	-	46		dB
	fs=192kHz BW=40kHz	–1dBFS	-	98		dB
		–20dBFS	-	86		dB
		–60dBFS	-	46		dB
Dynamic Range		(–60dBFS with A-weighted)	107	114		dB
S/N		(A-weighted)	107	114		dB
Input Resistance			9	13		kΩ
Interchannel Isolation			100	120		dB
Interchannel Gain Mismatch				0.1	0.5	dB
Power Supply Rejection		(Note 6)		50	-	dB
Power Supplies						
Power Supply Current						
Normal Operation (PDN pin = “H”)						
AVDD				30	45	mA
DVDD	(fs=48kHz)			10	15	mA
DVDD	(fs=96kHz)			17	25	mA
DVDD	(fs=192kHz)			20	30	mA
Power down mode (PDN pin = “L”)		(Note 7)				
AVDD+DVDD				10	100	μA

Note 4. (LIN+)–(LIN–)及び(RIN+)–(RIN–)の値です。VREFL, VREFRの電圧に比例します。
Vin = 0.58 × VREF (Vpp)。
Note 5. VREFL pinとAVSS間及びVREFR pinとAVSS間にそれぞれ100μFを接続した場合です。
Note 6. VREFL, VREFR pinの電圧を一定にしてAVDD, DVDDに1kHz, 20mVppの正弦波を重畳した場合です。
Note 7. 全てのディジタル入力ピンをDVDDまたはDVSSに固定した時の値です。

フィルタ特性 (fs=48kHz)

(Ta=25°C; AVDD=4.75 ~ 5.25V; DVDD=3.0 ~ 5.25V; DFS1 pin = “L”, DFS0 pin = “L”)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 8)	–0.005dB	PB	0		21.5	kHz
	–0.02dB		-	22.038	-	kHz
	–0.06dB		-	22.2	-	kHz
	–6.0dB		-	24.0	-	kHz
Stopband		SB	26.5			kHz
Passband Ripple		PR			±0.005	dB
Stopband Attenuation		SA	100			dB
Group Delay (Note 9)		GD		43.2		1/fs
Group Delay Distortion		ΔGD		0		μs
ADC Digital Filter (HPF):						
Frequency Response (Note 8)	–3dB	FR		1.0		Hz
	–0.1dB			6.5		Hz

フィルタ特性 (fs=96kHz)

(Ta=25°C; AVDD=4.75 ~ 5.25V; DVDD=3.0 ~ 5.25V; DFS1 pin = “L”, DFS0 pin = “H”)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 8)	–0.005dB	PB	0		43.0	kHz
	–0.02dB		-	44.081	-	kHz
	–0.06dB		-	44.5	-	kHz
	–6.0dB		-	48.0	-	kHz
Stopband		SB	53.0			kHz
Passband Ripple		PR			±0.005	dB
Stopband Attenuation		SA	100			dB
Group Delay (Note 9)		GD		43.1		1/fs
Group Delay Distortion		ΔGD		0		μs
ADC Digital Filter (HPF):						
Frequency Response (Note 8)	–3dB	FR		2.0		Hz
	–0.1dB			13.0		Hz

Note 8. 各振幅特性の周波数はfs (システムサンプリングレート)に比例します。各応答は1kHzを基準にします。
Note 9. ディジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。

フィルタ特性 (fs=192kHz)

(Ta=25°C; AVDD=4.75 ~ 5.25V; DVDD=3.0 ~ 5.25V; DFS1 pin = “H”, DFS0 pin = “L”)

Parameter		Symbol	min	typ	max	Units
ADC Digital Filter (Decimation LPF):						
Passband (Note 8)	–0.005dB	PB	0		86.0	kHz
	–0.02dB		-	88.183	-	kHz
	–0.06dB		-	89.0	-	kHz
	–6.0dB		-	96.0	-	kHz
Stopband		SB	106.0			kHz
Passband Ripple		PR			±0.005	dB
Stopband Attenuation		SA	100			dB
Group Delay (Note 9)		GD		38.2		1/fs
Group Delay Distortion		ΔGD		0		μs
ADC Digital Filter (HPF):						
Frequency Response (Note 8)	–3dB	FR		4.0		Hz
	–0.1dB			26.0		Hz

Note 8. 各振幅特性の周波数はfs (システムサンプリングレート)に比例します。各応答は1kHzを基準にします。
Note 9. ディジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。

DC特性

(Ta=25°C; AVDD=4.75 ~ 5.25V; DVDD=3.0 ~ 5.25V)

Parameter		Symbol	min	typ	max	Units
High-Level Input Voltage		VIH	70%DVDD	-	-	V
Low-Level Input Voltage		VIL	-	-	30%DVDD	V
High-Level Output Voltage	(Iout=–400μA)	VOH	DVDD–0.4	-	-	V
Low-Level Output Voltage	(Iout=400μA)	VOL	-	-	0.4	V
Input Leakage Current	(Note 10)	Iin	-	-	±10	μA

Note 10. CKS1-0 pin, TEST pinは内部でプルダウンされています。(typ. 100kΩ)

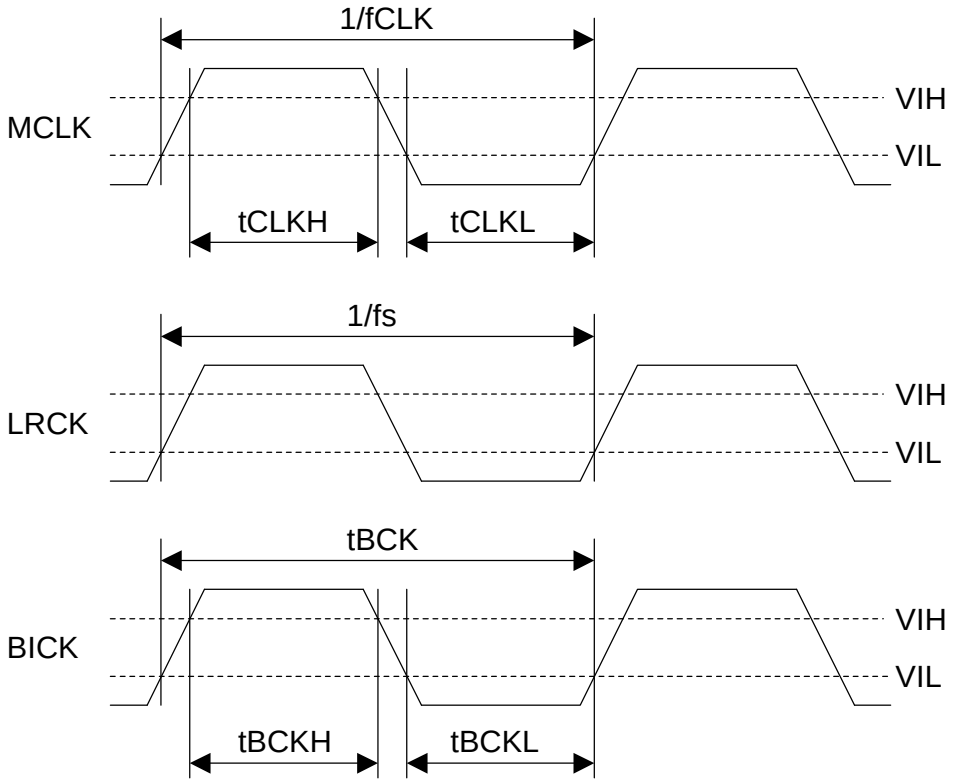
スイッチング特性

(Ta=25°C; AVDD=4.75 ~ 5.25V; DVDD=3.0 ~ 5.25V; C_L=20pF)

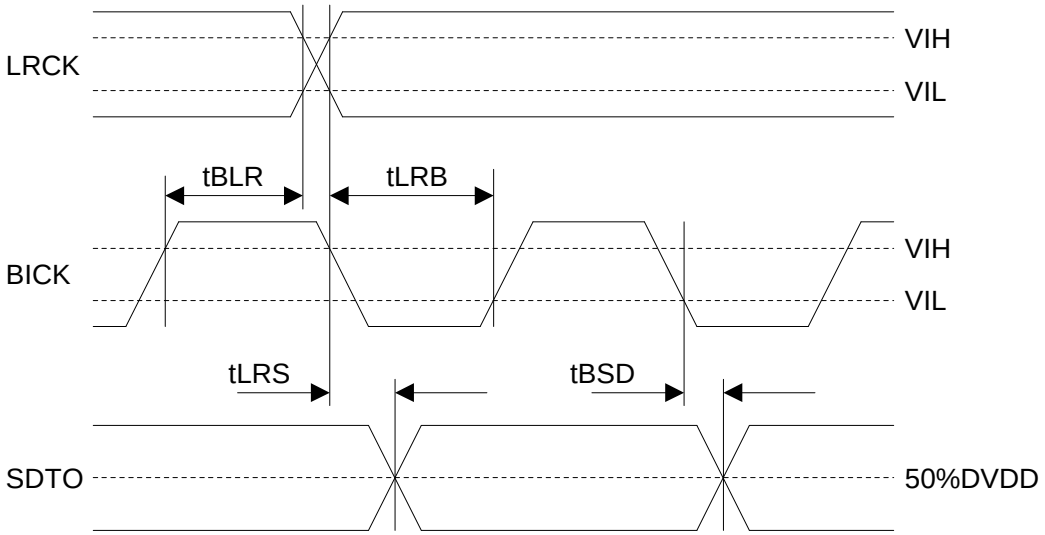
Parameter	Symbol	min	typ	max	Units
Master Clock Timing					
Frequency	fCLK	2.048		27.648	MHz
Pulse Width Low	tCLKL	14.5			ns
Pulse Width High	tCLKH	14.5			ns
LRCK Frequency					
Normal Speed Mode	fsn	8		54	kHz
Double Speed Mode	fsd	54		108	kHz
Quad Speed Mode	fsq	108		216	kHz
Duty Cycle Slave mode		45		55	%
Duty Cycle Master mode			50		%
Audio Interface Timing					
Slave mode					
BICK Period					
Normal Speed Mode	tBCK	1/128fsn			ns
Double Speed Mode	tBCK	1/64fsd			ns
Quad Speed Mode	tBCK	1/64fsq			ns
BICK Pulse Width Low	tBCKL	33			ns
Pulse Width High	tBCKH	33			ns
LRCK Edge to BICK "↑" (Note 11)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 11)	tBLR	20			ns
LRCK to SDTO (MSB) (Except I^2S mode)	tLRS			20	ns
BICK "↓" to SDTO	tBSD			20	ns
Master mode					
BICK Frequency	fBCK		64fs		Hz
BICK Duty	dBCK		50		%
BICK "↓" to LRCK	tMBLR	–20		20	ns
BICK "↓" to SDTO	tBSD	–20		20	ns
Reset Timing					
PDN Pulse Width (Note 12)	tPD	150			ns
PDN "↑" to SDTO valid (Note 13)	tPDV		516		1/fs

Note 11. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。
Note 12. AK5385AはPDN pin = "L"でリセットされます。
Note 13. PDN pinを立ち上げてからのLRCKクロックの"↑"の回数です。規格値はマスタモードでの値です。
スレーブモードでは1LRCKクロック(1/fs)長くなります。

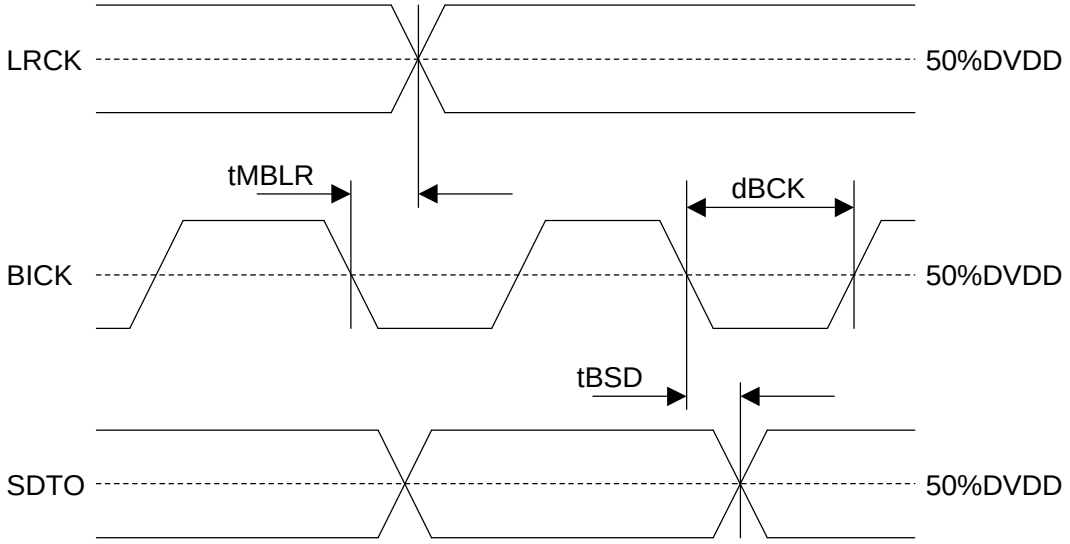
■ タイミング波形



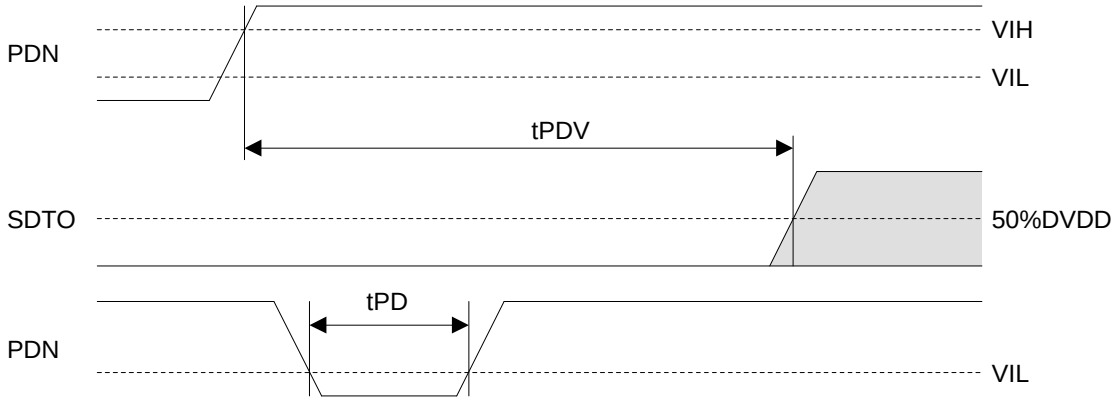
Clock Timing



Audio Interface Timing (Slave mode)



Audio Interface Timing (Master mode)



Power Down & Reset Timing

動作説明

■ システムクロック

AK5385Aに必要とされるクロックはMCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが、位相を合わせる必要はありません。Table 1に標準のオーディオレートに対してAK5385Aに必要とされる各クロックの周波数を示します。AK5385Aのマスタクロック周波数はCKS1-0 pin (Table 2)で設定し、サンプリング周波数はDFS1-0 pin (Table 3)で設定します。

スレーブモード時には、AK5385AはLRCKによる位相検出回路を内蔵しているため、動作中に各クロックの周波数変更等で内部タイミングがずれた場合には自動的にリセットがかかり、位相合わせが行われます。

スレーブモードでの動作時(PDN pin = “H”)は、各外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = “L”)にして下さい。マスタモードではパワーダウン時以外は、外部クロック(MCLK)を供給して下さい。

fs	MCLK			
	128fs	256fs	384fs	512fs
32kHz	N/A	8.192MHz	12.288MHz	16.384MHz
44.1kHz	N/A	11.2896MHz	16.9344MHz	22.5792MHz
48kHz	N/A	12.288MHz	18.432MHz	24.576MHz
96kHz	N/A	24.576MHz	N/A	N/A
192kHz	24.576MHz	N/A	N/A	N/A

Table 1. System Clock Example

CKS1 pin	CKS0 pin	MCLK Frequency
L	L	256fs
L	H	128fs
H	L	512fs
H	H	384fs

Table 2. MCLK Frequency

DFS1 pin	DFS0 pin	LRCK Frequency
L	L	8kHz ≤ fs ≤ 54kHz
L	H	54kHz < fs ≤ 108kHz
H	L	108kHz < fs ≤ 216kHz
H	H	N/A

Table 3. Sampling Speed

[サンプリング周波数変更時の注意点]

スレーブモード/マスタモード共に、MCLK周波数を変更する場合はPDN pin = “L”でリセットして下さい。
[例] 12.288MHz(@fs=48kHz)から24.576MHz(@fs=96kHz)に変更する場合。

スレーブモード/マスタモード共に、MCLK周波数を固定にしてCKS1-0, DFS1-0 pinでサンプリング周波数を変更する場合はPDN pin = “L”でリセットする必要はありません。
[例] MCLK周波数を24.576MHzのまま、fsを48kHzから96kHzに切り替える場合。

■ オーディオインタフェースフォーマット

2種類のデータフォーマットがDIF pin (Table 4)で選択できます。両モードともMSBファースト、2'sコンプリメントのデータフォーマットでSDTOはBICKの立ち下がりで出力されます。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。マスタモード時のLRCK周波数とBICK周波数はそれぞれfsと64fsです。

Mode	DIF pin	SDTO	LRCK	BICK	Figure
0	L	24bit, MSB justified	H/L	≥ 48fs	Figure 1
1	H	24bit, I^2S Compatible	L/H	≥ 48fs	Figure 2

Table 4. Audio Interface Format

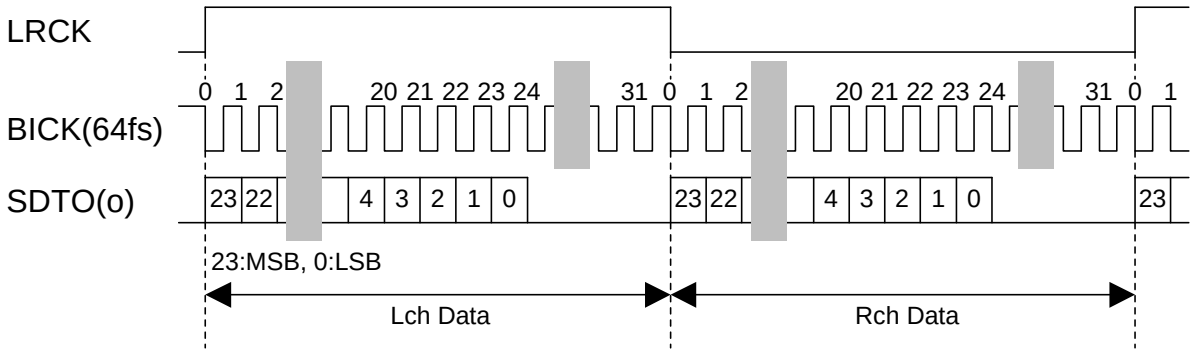


Figure 1. Mode 0 Timing

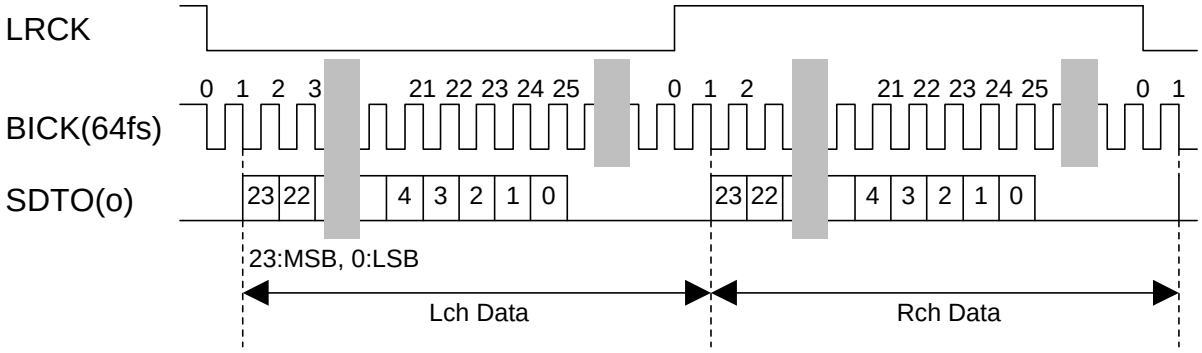


Figure 2. Mode 1 Timing

■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S pinで行います。"H"でマスタモード、"L"でスレーブモードです。AK5385Aがマスタモードの時には、AK5385AにMCLKを供給するとBICK, LRCKが出力されます。AK5385Aがスレーブモードの時には、MCLK, BICK, LRCKを供給して下さい。

M/S pin	Mode	BICK, LRCK
L	Slave Mode	BICK = Input LRCK = Input
H	Master Mode	BICK = Output LRCK = Output

Table 5. Master mode/Slave mode

■ ディジタルHPF

ADCはDCオフセットキャンセルのためにディジタルHPFを内蔵します。HPFのfcは、fs=48kHz時1.0Hzになっており、周波数応答はfsに比例します。

HPFE pinの設定により、HPFのON/OFFを制御することができます。但し、動作中にHPFのON/OFF設定を変更すると、DCオフセット値の変化によるクリック音発生の原因となります。設定変更はパワーダウン(PDN pin = "L")時に行うことを推奨します。

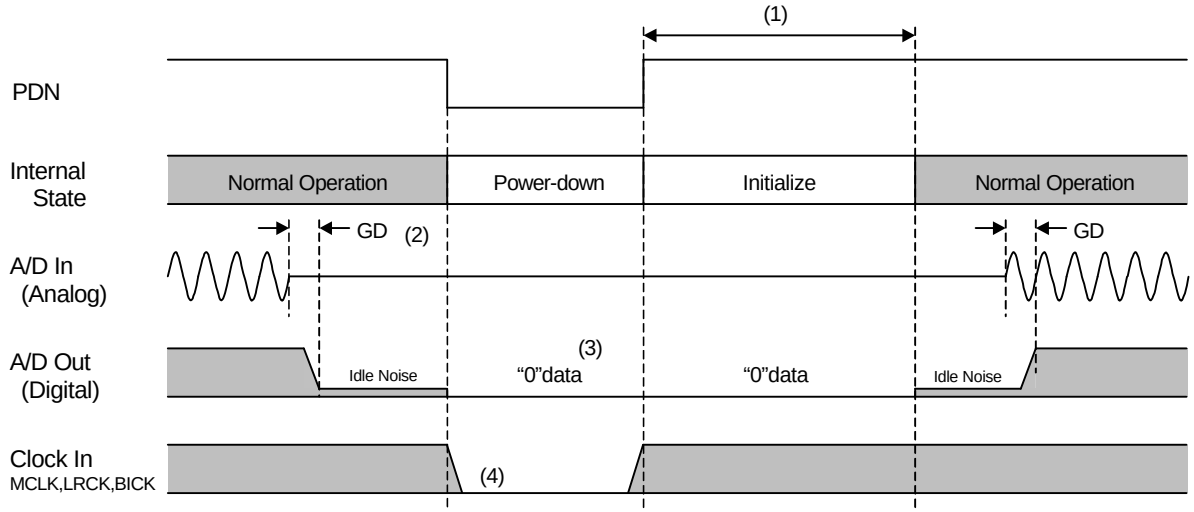
■ オーバフロー検出機能

AK5385Aはアナログ入力のオーバフロー検出機能を持ちます。LchまたはRchのアナログ入力がオーバフローすると(–0.3dBFS以上)、OVF pinが"H"になります。オーバフローしたアナログ入力に対するOVF出力はADCと同じ群遅延(GD = 43.2/fs = 0.9ms@fs=48kHz)を持ちます。パワーダウン解除後(PDN pin = "L" → "H")、516/fs(=10.75ms@fs=48kHz)の間OVF pinは"L"で、その後オーバフロー検出機能が有効になります。

■ パワーダウンとリセット

AK5385AはPDN pinを"L"にすることでパワーダウンモードにできます。この時、同時にディジタルフィルタがリセットされます。このリセットは電源投入時に必ず一度行って下さい。パワーダウンモード時はVCOMはAVSSの電圧になります。パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データSDTOは516 × LRCKサイクル後確定します。初期化中は両チャネルのADC出力データは2'sコンプリメントの"0"で、初期化終了後、ADC出力はアナログ入力信号に相当するデータにセトリングします(セトリングは群遅延時間程度かかります)。

電源投入時、一度PDN pinを"L"にしてリセットして下さい。その後、PDN pinを"H"にするとリセット及びパワーダウンはMCLKで解除され、LRCKの立ち上がりエッジ(出力フォーマットがMode 1の時は立ち下がりエッジ)に同期して内部のタイミングが動作します。

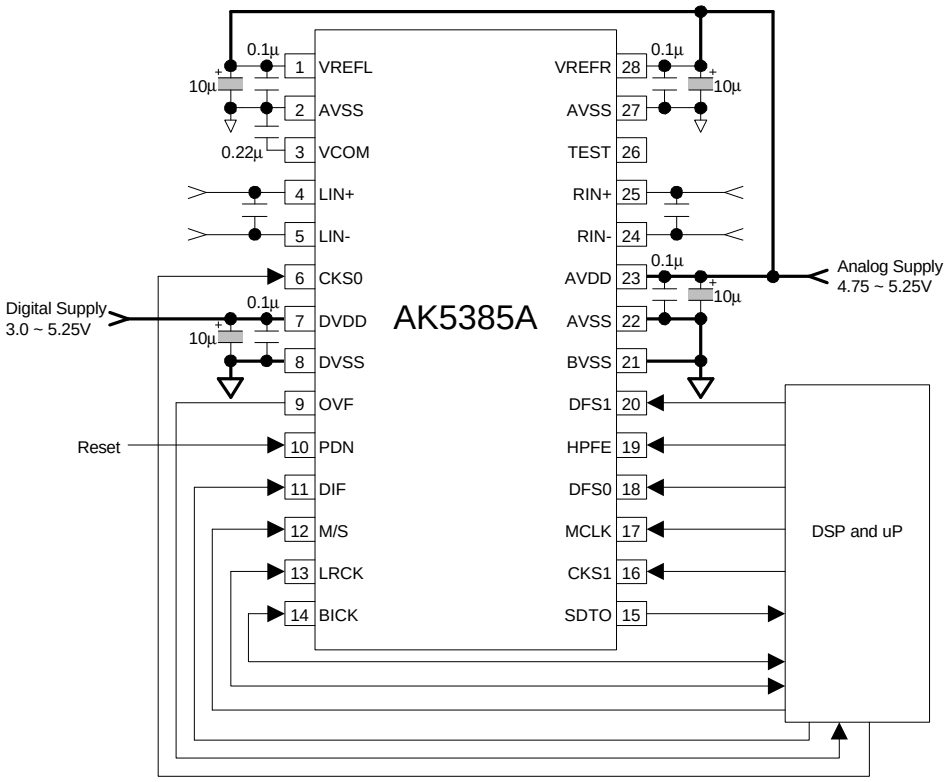


Notes:
(1) スレーブモード時は517/fs、マスタモード時は516/fsです。
(2) アナログ入力に対するディジタル出力は群遅延(GD)を持ちます。
(3) パワーダウン時、ADC出力は"0"データです。
(4) 各クロック(MCLK, BICK, LRCK)の入力を止める場合はパワーダウンして下さい。

Figure 3. Power-down/up sequence example

システム設計

Figure 4はシステム接続例です。具体的な回路と測定例については評価ボード(AKD5385A)を参照して下さい。



注:

- AK5385AのAVSS, BVSS, DVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- プルダウンピン(CKS0, CKS1, TEST pin)以外のディジタル入力ピンはオープンにしないで下さい。

Figure 4. Typical Connection Diagram

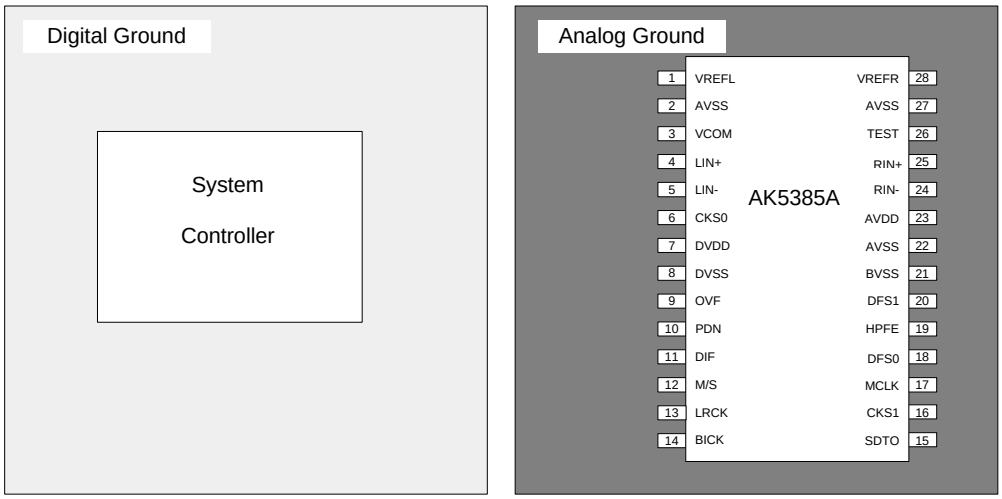


Figure 5.Ground Layout

注:

- AVSS, BVSS, DVSSは同じアナロググランドに接続して下さい。

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。AVDD, DVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。**AVSS, BVSS, DVSSはアナロググランドに接続して下さい。**システムのグランドはアナログとディジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

A/D変換の基準電圧はVREFL/R pinの電圧とAVSS pinの電圧の差です。AVSS pinはアナロググランドに接続し、VREFL/R pinには電源と同様、高周波ノイズを除去するために0.1μFのセラミックコンデンサと10μF以上の電解コンデンサをVREFL/R pinとAVSS間に接続して下さい。特にセラミックコンデンサはピンにできるだけ近づけて接続して下さい。さらにディジタル信号、特にクロックは変調器へのカップリングを避けるためにVREFL/R pinからできるだけ離して下さい。

VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために0.22μF程度のセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。ディジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

アナログ入力信号は各チャネルの差動入力ピンから変調器に入力されます。入力電圧はLIN+(RIN+)とLIN–(RIN–)の差の電圧になります。入力レンジは±2.9Vpp (typ)です。AK5385AはAVSSからAVDDまでの電圧を入力することができます。出力コードのフォーマットは2’sコンプリメントです。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルされます。

AK5385Aは128fs (6.144MHz@fs=48kHz, Normal Speed Mode)でアナログ入力をサンプリングします。ディジタルフィルタは、128fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。ほとんどのオーディオ信号では128fs付近に大きなノイズを持つことはありませんので、簡単なRCフィルタで128fs付近のノイズを十分に減衰させることができます。

AK5385Aのアナログ電源電圧は+5Vになっており、アナログ入力ピン(LIN+/–, RIN+/–)には、AVDD+0.3V以上、AVSS–0.3V以下の電圧と10mA以上の電流を入力してはいけません。過大電流の流入は内部の保護回路の破壊、さらにはラッチアップを引き起こし、ICの破壊に至ります。従って、周辺のアナログ回路の電源電圧が、±15V等の場合はアナログ入力ピンを絶対最大定格以上の信号から保護する必要があります。

4. 外部アナログ入力回路例

Figure 6は入力バッファ回路例です。反転・反転回路によるゲイン–10dBの差動入力回路です。LIN+/–(RIN+/–)間の10nFは、変調器のクロックフィードスルーを取るためのコンデンサです。また、22Ωとあわせて約360kHzのカットオフを持つLPFになっています。前段アンプは約370kHzのカットオフを持つLPFになっています。詳細は評価ボードを参照して下さい。

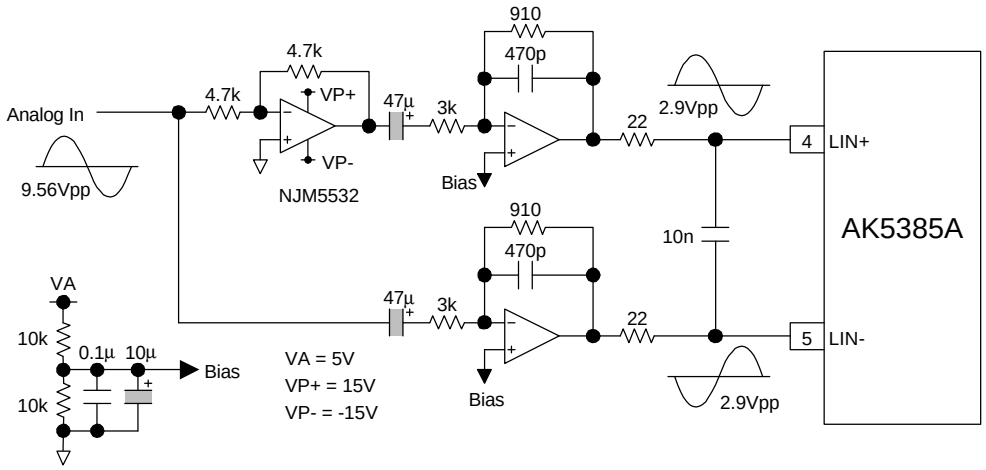


Figure 6.Input Buffer example

Figure 7はAK5385Aのアナログ入力回路例2(1st order HPF: fc=0.66Hz, Table 6; 1st order LPF: fc=590kHz, gain=–14dB, Table 7)です。シングルエンドで入力する場合は差動入力する場合と比較して反転バッファが一つ増えます。Figure 7ではシングルエンドの場合はJP1, 2をショート、差動の場合はJP1, 2をオープンにします。この回路の入力レベルは+/–14.7Vppです。

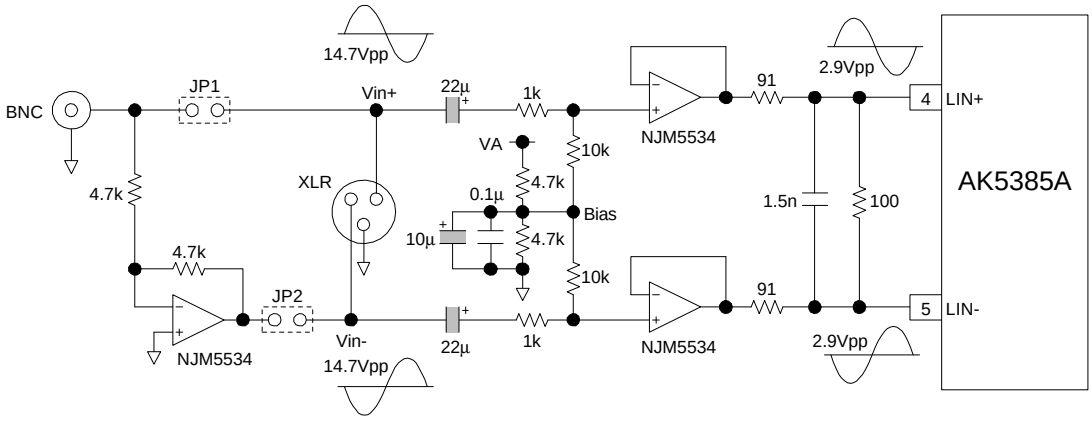


Figure 7.Input Buffer example

fin	1Hz	10Hz
Frequency Response	–1.56dB	–0.02dB

Table 6. Frequency Response of HPF

fin	20kHz	40kHz	6.144MHz
Frequency Response	–0.005dB	–0.02dB	–15.6dB

Table 7. Frequency Response of LPF

5. 測定例

Figure 8はVREFL/R pinに0.1µFのコンデンサと並列に接続されるコンデンサの容量とS/(N+D)の関係を示したものです。横軸がコンデンサの容量、縦軸が歪特性です。

[測定条件]

- AVDD = 5.0V, DVDD = 3.3V; AVSS = BVSS = DVSS = 0V
- fs = 48kHz
- 測定帯域 = 10Hz ~ 20kHz
- Ta = 25°C
- Audio Precision System Two Cascade使用

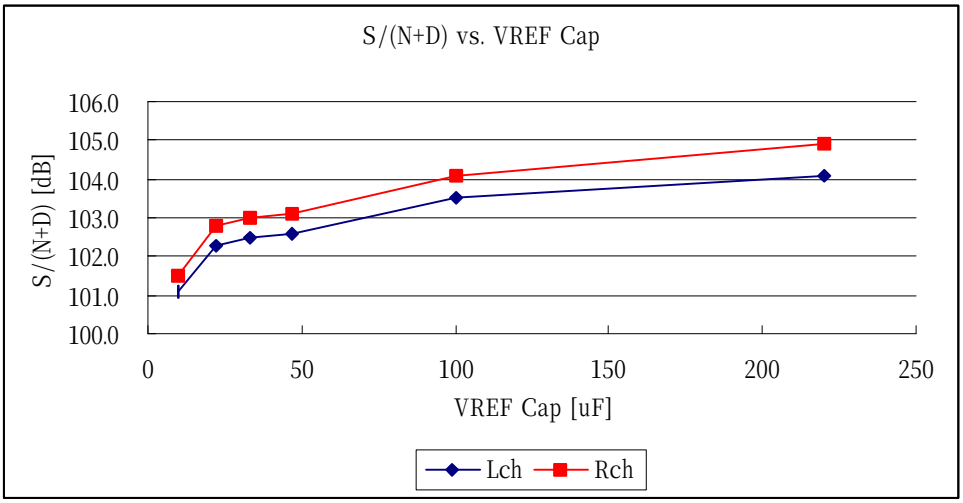


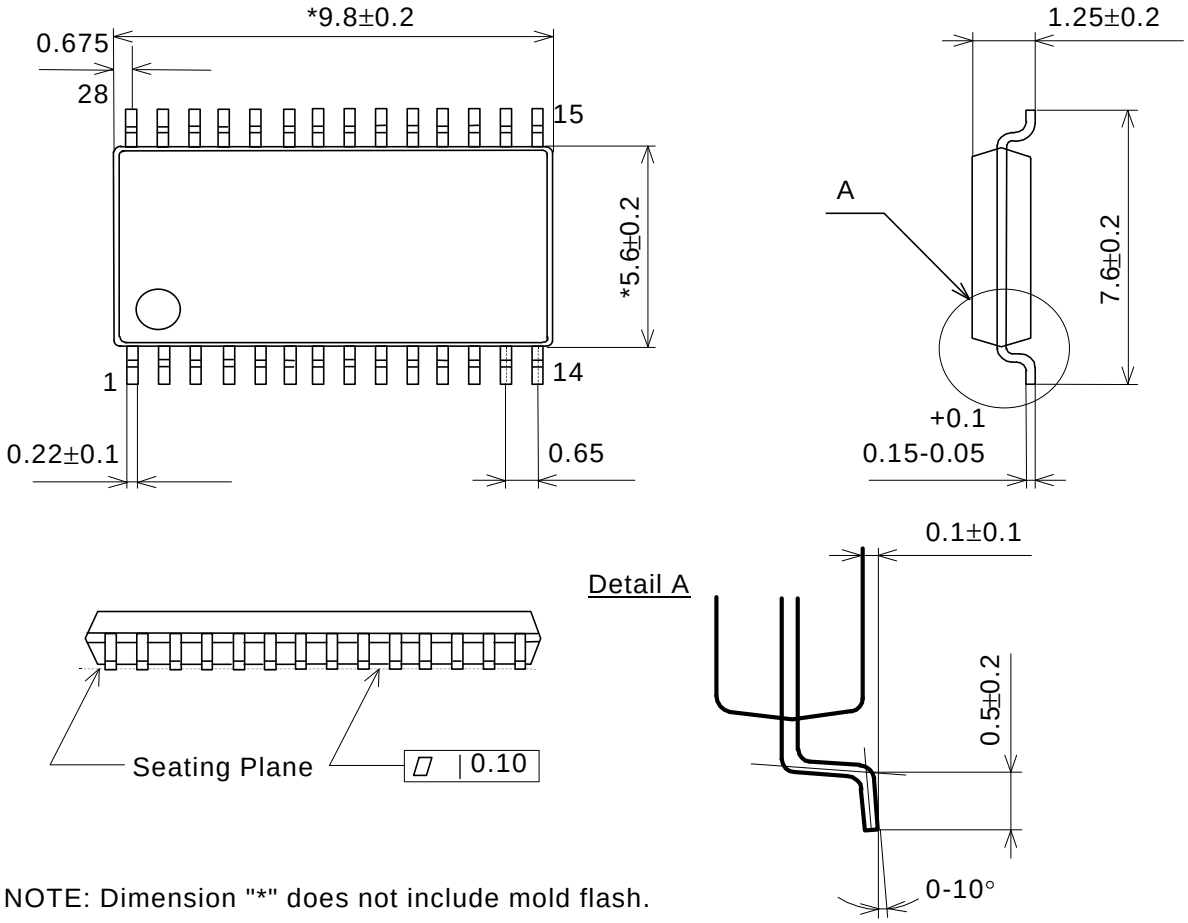
Figure 8. S/(N+D) vs. VREF Cap

6. 複数デバイスの同期

AK5385Aをシステム上で複数個使いする場合、各デバイス間で同時にサンプリングするためには注意が必要です。同期サンプリングするためには、MCLKとLRCKはシステム上のAK5385A全てに対して同じタイミングである必要があります。システム上の全てのAK5385Aを同じクロックエッジでAD変換させるためには、AK5385Aへのリセット信号がMCLKのエッジに重ならないようにして、同時にリセットを行って下さい。

パッケージ (AK5385AVF)

28pin VSOP (Unit: mm)



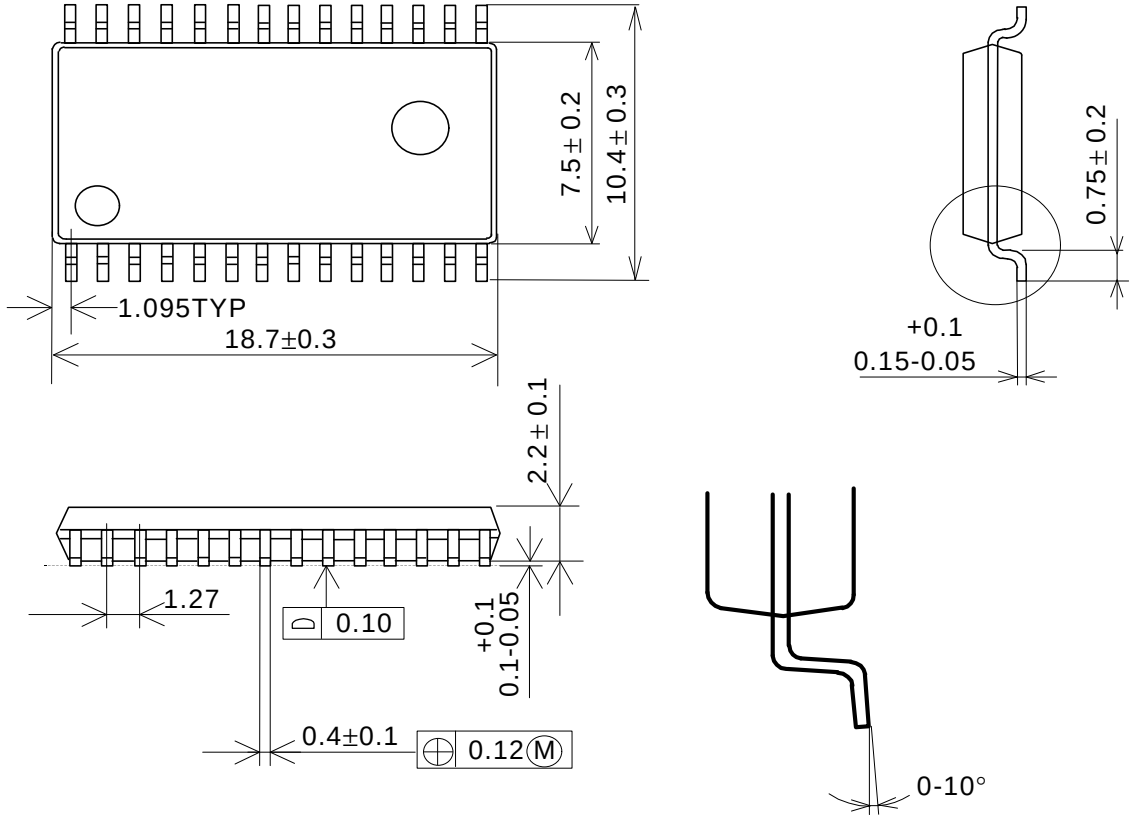
NOTE: Dimension "*" does not include mold flash.

■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

パッケージ (AK5385AVS)

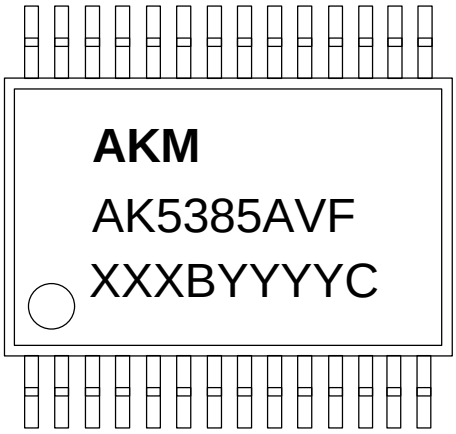
28pin SOP (Unit: mm)



■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

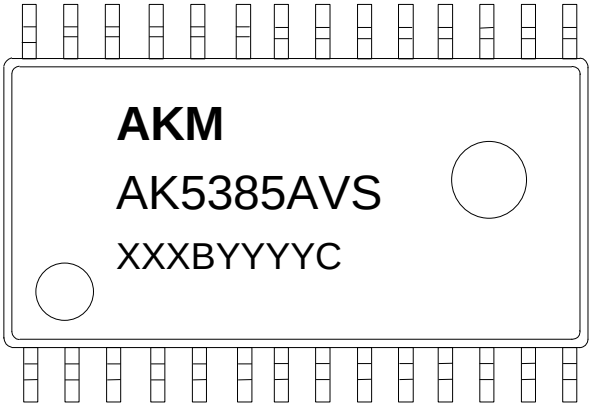
マーキング (AK5385AVF)



XXXBYYYYC Date code identifier

XXXB :Lot number (X : Digit number, B : Alpha character)
YYYYC : Assembly date (Y : Digit number, C : Alpha character)

マーキング (AK5385AVS)



XXXBYYYYC Date code identifier

XXXB :Lot number (X : Digit number, B : Alpha character)
YYYYC : Assembly date (Y : Digit number, C : Alpha character)

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。